

Docket No. 202887US2

S. S. Stevenson
8-10-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuuichi HIRANO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME

JC973 U.S. PTO
09/778104
01/07/01

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-236814	August 04, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 8月 4日

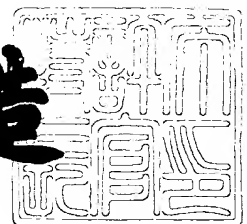
出 願 番 号
Application Number: 特願2000-236814

出 願 人
Applicant(s): 三菱電機株式会社

2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3070286

【書類名】 特許願

【整理番号】 525206JP01

【提出日】 平成12年 8月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 平野 有一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 前田 茂伸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 前川 繁登

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板、絶縁層、及び半導体層がこの順に積層された S O I 基板と、

前記半導体層内にそれぞれ選択的に形成されたドレイン領域及びソース領域、並びに前記ドレイン領域と前記ソース領域とによって挟まれるチャネル領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、

前記トランジスタ上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成されたドレイン配線及びソース配線と、

前記層間絶縁膜内に選択的に形成され、前記ドレイン配線と前記ドレイン領域とを接続する第 1 の導電体と、

前記層間絶縁膜内に選択的に形成され、前記ソース配線と前記ソース領域とを接続する第 2 の導電体とを備え、

前記ドレイン領域は、前記チャネル領域に隣接する第 1 部分と、前記ドレイン領域の外周縁の一部が平面視上前記ゲート電極から遠ざかるように、前記第 1 部分から突出して形成された第 2 部分とを有し、

前記第 1 の導電体は、前記ドレイン領域の前記第 2 部分に接続されていることを特徴とする半導体装置。

【請求項 2】 前記ドレイン領域の前記第 1 部分は、平面視上複数の角部を有しており、

前記ドレイン領域の前記第 2 部分は、前記ゲート電極と隣接しない前記角部から、前記チャネル領域のチャネル幅方向に対して斜めに突出して形成されていることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の導電体の底面は、前記ゲート電極から遠ざかるように、位置ずれて前記ドレイン領域の前記第 2 部分に部分的に接触していることを特徴とする、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記ソース領域は、前記チャネル領域に隣接する第 1 部分と

、前記ソース領域の外周縁の一部が平面視上前記ゲート電極から遠ざかるように、前記第 1 部分から突出して形成された第 2 部分とを有し、

前記第 2 の導電体は、前記ソース領域の第 2 部分に接続されていることを特徴とする、請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

【請求項 5】 前記ソース領域の前記第 1 部分は、平面視上複数の角部を有しており、

前記ソース領域の前記第 2 部分は、前記ゲート電極と隣接しない前記角部から、前記チャネル領域のチャネル幅方向に対して斜めに突出して形成されていることを特徴とする、請求項 4 に記載の半導体装置。

【請求項 6】 前記第 2 の導電体の底面は、前記ゲート電極から遠ざかるように、位置ずれて前記ソース領域の前記第 2 部分に部分的に接触していることを特徴とする、請求項 4 又は 5 に記載の半導体装置。

【請求項 7】 前記ソース領域は、前記チャネル領域に隣接する第 1 部分を有し、

前記第 2 の導電体は、前記ソース領域の前記第 1 部分に接続されていることを特徴とする、請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

【請求項 8】 前記トランジスタは、前記ゲート電極の側面に形成されたサイドウォールをさらに有し、

前記サイドウォールは、多孔質状の材質によって構成されていることを特徴とする、請求項 1 ～ 7 のいずれか一つに記載の半導体装置。

【請求項 9】 前記層間絶縁膜は、前記ゲート電極と前記第 1 及び第 2 の導電体との間の領域を除く部分に形成されていることを特徴とする、請求項 1 ～ 8 のいずれか一つに記載の半導体装置。

【請求項 10】 基板と、

前記基板内に選択的に形成された対を成すソース・ドレイン領域、対を成す前記ソース・ドレイン領域同士によって挟まれるチャネル領域上にゲート絶縁膜を介して形成されたゲート電極、及び前記ゲート電極の側面に形成されたサイドウォールを有するトランジスタと、

前記トランジスタ上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成されたソース・ドレイン配線と、
前記層間絶縁膜内に選択的に形成され、前記ソース・ドレイン配線と前記ソース・ドレイン領域とを接続する導電体と
を備え、
前記サイドウォールは、多孔質状の材質によって構成されていることを特徴とする半導体装置。

【請求項 1 1】 基板と、
前記基板内に選択的に形成された対を成すソース・ドレイン領域、及び対を成す前記ソース・ドレイン領域同士によって挟まれるチャネル領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、
前記トランジスタ上に形成された層間絶縁膜と、
前記層間絶縁膜上に選択的に形成されたソース・ドレイン配線と、
前記層間絶縁膜内に選択的に形成され、前記ソース・ドレイン配線と前記ソース・ドレイン領域とを接続する導電体と
を備え、
前記層間絶縁膜は、前記ゲート電極と前記導電体との間の領域を除く部分に形成されていることを特徴とする半導体装置。

【請求項 1 2】 (a) 基板を準備する工程と、
(b) 前記基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造を成すゲート構造を選択的に形成する工程と、
(c) 前記ゲート構造の側面にサイドウォールを形成する工程と、
(d) 前記ゲート構造及び前記サイドウォールが形成されていない部分の前記基板内に不純物を導入することにより、ソース・ドレイン領域を形成する工程と、
(e) 前記工程 (d) によって得られる構造上に層間絶縁膜を形成する工程と、
(f) 前記ソース・ドレイン領域に接続された導電体を、前記層間絶縁膜内に選択的に形成する工程と、
(g) 前記導電体に接続されたソース・ドレイン配線を、前記層間絶縁膜上に

選択的に形成する工程と、

(h) 前記導電体と前記ゲート構造との間の前記層間絶縁膜を除去する工程とを備える、半導体装置の製造方法。

【請求項13】 前記工程(h)においては、前記サイドウォールも除去されることを特徴とする、請求項12に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の構造及びその製造方法に関し、特に、素子の微細化、動作の高速化、及び消費電力の低減を実現し得るMOSFETの構造及びその製造方法に関するものである。

【0002】

【従来の技術】

図27は、一般的なMOSFETの構造を示す上面図である。ゲート電極101の下方にはチャネル領域(図27には現れない)が形成されており、チャネル領域を挟んで一对のソース・ドレイン領域102が形成されている。また、ソース・ドレイン領域102とソース・ドレイン配線(図示しない)とを接続するためのコンタクトプラグ103が形成されている。

【0003】

このようなMOSFETにおいては、素子の微細化を図るために、ソース・ドレイン領域102の面積が縮小される傾向にある。図28は、ソース・ドレイン領域の面積が縮小された、従来のMOSFETの構造を示す上面図である。図27に示したソース・ドレイン領域102の代わりに、ソース・ドレイン領域104が形成されている。チャネル長方向のソース・ドレイン領域の幅は、図27に示したMOSFETではL102であったのに対し、図28に示したMOSFETではL104(<L102)であり、これによって、ソース・ドレイン領域の面積の縮小が図られている。

【0004】

図29は、図28に示したラインX100に沿った位置に関する断面構造を示

す断面図である。SOI基板105は、シリコン基板106、BOX (Burried OXide) 層107、及びシリコン層108がこの順に積層された積層構造を成している。シリコン層108の上面内には、STI (Shallow Trench Isolation) 等の素子分離絶縁膜109が選択的に形成されている。

【0005】

素子分離絶縁膜109によって規定されるSOI基板105の素子形成領域において、シリコン層108の上面内には、p型のボディ領域（上記チャネル領域に相当する）110を挟んで対を成す、ソース・ドレイン領域104が形成されている。ソース・ドレイン領域104は、シリコン層108の上面からBOX層107の上面に達して形成された n^+ 型の不純物拡散領域111と、シリコン層108の上面をシリサイド化することによって形成されたシリサイド層112とを有している。

【0006】

ボディ領域110上には、ゲート酸化膜113とゲート電極101とがこの順に積層された積層構造を成すゲート構造が形成されている。該ゲート構造の側面には、酸化シリコンから成るサイドウォール120が形成されている。ゲート電極101は、ゲート酸化膜113上に形成されたポリシリコン層114と、ポリシリコン層114上に形成されたシリサイド層115とを有している。

【0007】

また、シリサイド層115、112、サイドウォール120、及び素子分離絶縁膜109の各露出面を覆って、酸化シリコンから成る層間絶縁膜118が全面に形成されている。層間絶縁膜118上には、アルミニウム等から成るソース・ドレイン配線119が形成されている。また、層間絶縁膜118内には、ソース・ドレイン配線119とソース・ドレイン領域104とを接続するためのコンタクトプラグ103が選択的に形成されている。コンタクトプラグ103は、層間絶縁膜118の上面からシリサイド層112の上面に達して形成されたコンタクトホール116と、該コンタクトホール116内を充填する導体プラグ117とを有している。

【0008】

【発明が解決しようとする課題】

このような従来のMOSFETによると、ソース・ドレイン領域104の面積を縮小することによって素子の微細化を図ることが可能である。また、SOI基板ではない通常のバルク基板を用いたMOSFETにおいて、ソース・ドレイン領域の面積を縮小することによって、互いに導電型が異なるソース・ドレイン領域とシリコン基板との接合面積が小さくなり、ソース・ドレイン容量を低減することもできる。

【0009】

しかしながら、ソース・ドレイン領域104の面積の縮小に伴って、コンタクトプラグ103とゲート電極101との間の距離も短くなるため、両者間に生じる寄生容量が増大し、却って動作の高速化及び消費電力の低減の妨げになるという問題があった。

【0010】

本発明はかかる問題を解決するために成されたものであり、ソース・ドレイン領域の面積を縮小しつつ、ソース・ドレインのコンタクトプラグと、ゲート電極との間に生じる寄生容量の増大を抑制し得る半導体装置及びその製造方法を得ることを目的とするものである。

【0011】

【課題を解決するための手段】

この発明のうち請求項1に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、半導体層内にそれぞれ選択的に形成されたドレイン領域及びソース領域、並びにドレイン領域とソース領域とによって挟まれるチャネル領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、トランジスタ上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成されたドレイン配線及びソース配線と、層間絶縁膜内に選択的に形成され、ドレイン配線とドレイン領域とを接続する第1の導電体と、層間絶縁膜内に選択的に形成され、ソース配線とソース領域とを接続する第2の導電体とを備え、ドレイン領域は、チャネル領域に隣接する第1部分と、ドレイン領域の外周縁の一部が平面視上ゲート電極から遠ざかるように、第1部分から突出して形

成された第2部分とを有し、第1の導電体は、ドレイン領域の第2部分に接続されていることを特徴とするものである。

【0012】

また、この発明のうち請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、ドレイン領域の第1部分は、平面視上複数の角部を有しており、ドレイン領域の第2部分は、ゲート電極と隣接しない角部から、チャンネル領域のチャンネル幅方向に対して斜めに突出して形成されていることを特徴とするものである。

【0013】

また、この発明のうち請求項3に記載の半導体装置は、請求項1又は2に記載の半導体装置であって、第1の導電体の底面は、ゲート電極から遠ざかるように、位置ずれてドレイン領域の第2部分に部分的に接触していることを特徴とするものである。

【0014】

また、この発明のうち請求項4に記載の半導体装置は、請求項1～3のいずれか一つに記載の半導体装置であって、ソース領域は、チャンネル領域に隣接する第1部分と、ソース領域の外周縁の一部が平面視上ゲート電極から遠ざかるように、第1部分から突出して形成された第2部分とを有し、第2の導電体は、ソース領域の第2部分に接続されていることを特徴とするものである。

【0015】

また、この発明のうち請求項5に記載の半導体装置は、請求項4に記載の半導体装置であって、ソース領域の第1部分は、平面視上複数の角部を有しており、ソース領域の第2部分は、ゲート電極と隣接しない角部から、チャンネル領域のチャンネル幅方向に対して斜めに突出して形成されていることを特徴とするものである。

【0016】

また、この発明のうち請求項6に記載の半導体装置は、請求項4又は5に記載の半導体装置であって、第2の導電体の底面は、ゲート電極から遠ざかるように、位置ずれてソース領域の第2部分に部分的に接触していることを特徴とする

ものである。

【 0 0 1 7 】

また、この発明のうち請求項 7 に記載の半導体装置は、請求項 1 ～ 3 のいずれか一つに記載の半導体装置であって、ソース領域は、チャネル領域に隣接する第 1 部分を有し、第 2 の導電体は、ソース領域の第 1 部分に接続されていることを特徴とするものである。

【 0 0 1 8 】

また、この発明のうち請求項 8 に記載の半導体装置は、請求項 1 ～ 7 のいずれか一つに記載の半導体装置であって、トランジスタは、ゲート電極の側面に形成されたサイドウォールをさらに有し、サイドウォールは、多孔質状の材質によって構成されていることを特徴とするものである。

【 0 0 1 9 】

また、この発明のうち請求項 9 に記載の半導体装置は、請求項 1 ～ 8 のいずれか一つに記載の半導体装置であって、層間絶縁膜は、ゲート電極と第 1 及び第 2 の導電体との間の領域を除く部分に形成されていることを特徴とするものである。

【 0 0 2 0 】

また、この発明のうち請求項 1 0 に記載の半導体装置は、基板と、基板内に選択的に形成された対を成すソース・ドレイン領域、対を成すソース・ドレイン領域同士によって挟まれるチャネル領域上にゲート絶縁膜を介して形成されたゲート電極、及びゲート電極の側面に形成されたサイドウォールを有するトランジスタと、トランジスタ上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成されたソース・ドレイン配線と、層間絶縁膜内に選択的に形成され、ソース・ドレイン配線とソース・ドレイン領域とを接続する導電体とを備え、サイドウォールは、多孔質状の材質によって構成されていることを特徴とするものである。

【 0 0 2 1 】

また、この発明のうち請求項 1 1 に記載の半導体装置は、基板と、基板内に選択的に形成された対を成すソース・ドレイン領域、及び対を成すソース・ドレイン領域同士によって挟まれるチャネル領域上にゲート絶縁膜を介して形成された

ゲート電極を有するトランジスタと、トランジスタ上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成されたソース・ドレイン配線と、層間絶縁膜内に選択的に形成され、ソース・ドレイン配線とソース・ドレイン領域とを接続する導電体とを備え、層間絶縁膜は、ゲート電極と導電体との間の領域を除く部分に形成されていることを特徴とするものである。

【 0 0 2 2 】

また、この発明のうち請求項 1 2 に記載の半導体装置の製造方法は、(a) 基板を準備する工程と、(b) 基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造を成すゲート構造を選択的に形成する工程と、(c) ゲート構造の側面にサイドウォールを形成する工程と、(d) ゲート構造及びサイドウォールが形成されていない部分の基板内に不純物を導入することにより、ソース・ドレイン領域を形成する工程と、(e) 工程 (d) によって得られる構造上に層間絶縁膜を形成する工程と、(f) ソース・ドレイン領域に接続された導電体を、層間絶縁膜内に選択的に形成する工程と、(g) 導電体に接続されたソース・ドレイン配線を、層間絶縁膜上に選択的に形成する工程と、(h) 導電体とゲート構造との間の層間絶縁膜を除去する工程とを備えるものである。

【 0 0 2 3 】

また、この発明のうち請求項 1 3 に記載の半導体装置の製造方法は、請求項 1 2 に記載の半導体装置の製造方法であって、工程 (h) においては、サイドウォールも除去されることを特徴とするものである。

【 0 0 2 4 】

【発明の実施の形態】

実施の形態 1.

図 1 は、本発明の実施の形態 1 に係る MOSFET の構造を示す上面図である。ゲート電極 1 の下方にはチャネル領域（図 1 には現れない）が形成されており、チャネル領域を挟んで対のソース・ドレイン領域 2 が形成されている。ソース・ドレイン領域 2 は、チャネル領域に隣接する第 1 部分 3 a と、ソース・ドレイン領域 2 の外周縁の一部が平面視上ゲート電極 1 から遠ざかるように、第 1 部分 3 a からチャネル幅方向に突出して形成された第 2 部分 3 b とを有している。

図1に示したMOSFETは、図27に示したMOSFETに対してソース・ドレイン領域の面積の縮小が図られており、第1部分3aのチャンネル長方向の幅L2は、図27に示した幅L102よりも狭く、図28に示した幅L104と等しい。また、第2部分3bには、ソース・ドレイン領域2とソース・ドレイン配線（図示しない）とを接続するためのコンタクトプラグ4が形成されている。コンタクトプラグ4の直径は0.1～0.3 μ m程度である。また、第1部分3aの幅L2は0.2～0.5 μ m程度であり、第1部分3aから突出する方向に関する第2部分3bの長さは0.1～0.5 μ m程度である。

【0025】

図2（A）及び（B）は、それぞれ図1に示したラインA及びラインBに沿った位置に関する断面構造を示す断面図である。SOI基板5は、シリコン基板6、酸化シリコンから成るBOX層7、及びシリコン層8がこの順に積層された積層構造を成している。シリコン層8の上面内には、酸化シリコンから成る、STI等の素子分離絶縁膜9が選択的に形成されている。

【0026】

図2（A）を参照して、素子分離絶縁膜9によって規定されるSOI基板5の素子形成領域において、シリコン層8の上面内にはソース・ドレイン領域2が形成されている。ソース・ドレイン領域2は、シリコン層8の上面からBOX層7の上面に達して形成された n^+ 型の不純物拡散領域11と、シリコン層8の上面をシリサイド化することによって形成されたシリサイド層12とを有している。

【0027】

図2（B）を参照して、SOI基板5の素子形成領域において、シリコン層8の上面内には、p型のボディ領域（上記チャンネル領域に相当する）10を挟んで対を成す、ソース・ドレイン領域2が形成されている。ボディ領域10上には、ゲート酸化膜13とゲート電極1とがこの順に積層された積層構造を成すゲート構造が形成されている。該ゲート構造の側面には、酸化シリコンから成るサイドウォール20が形成されている。ゲート電極1は、ゲート酸化膜13上に形成されたポリシリコン層14と、ポリシリコン層14上に形成されたシリサイド層15とを有している。

【0028】

図2 (A) 及び (B) を参照して、シリサイド層15、12、サイドウォール20、及び素子分離絶縁膜9の各露出面を覆って、酸化シリコンから成る層間絶縁膜18が全面に形成されている。図2 (A) を参照して、層間絶縁膜18上には、アルミニウム等から成るソース・ドレイン配線19が選択的に形成されている。また、層間絶縁膜18内には、ソース・ドレイン配線19とソース・ドレイン領域2とを接続するためのコンタクトプラグ4が選択的に形成されている。コンタクトプラグ4は、層間絶縁膜18の上面からシリサイド層12の上面に達して形成されたコンタクトホール16と、該コンタクトホール16内を充填する導体プラグ17とを有している。

【0029】

図3～12は、本発明の実施の形態1に係るMOSFETの製造方法を工程順に示す断面図である。図3 (A) ～図12 (A) が、図2 (A) に示した構造の製造方法に対応し、図3 (B) ～図12 (B) が、図2 (B) に示した構造の製造方法に対応する。図3を参照して、まず、400nm程度の膜厚を有するBOX層7と、200nm程度の膜厚を有するシリコン層8とがシリコン基板6上にこの順に積層された積層構造を成すSOI基板5を準備する。次に、CVD等法によって、10nm程度の膜厚を有するシリコン酸化膜と、200nm程度の膜厚を有するシリコン窒化膜とを、シリコン層8の上面上にこの順に全面に形成する。次に、写真製版法及び異方性ドライエッチング法によってこれらの膜をパターンニングすることにより、シリコン酸化膜21及びシリコン窒化膜22がこの順に積層された積層構造を、シリコン層8の上面上に選択的に形成する。

【0030】

図4を参照して、次に、シリコン窒化膜22をエッチングマスクに用いて、SOI基板5の深さ方向にエッチングレートの高い異方性ドライエッチング法によって、シリコン層8をその上面から100nm程度エッチングする。これにより、シリコン窒化膜22及びシリコン酸化膜21から成る積層構造が形成されていない部分のシリコン層8の上面内に、凹部23が形成される。

【0031】

図 5 を参照して、次に、凹部 2 3 内を充填するように、5 0 0 n m 程度の膜厚を有するシリコン酸化膜 2 4 を C V D 法によって全面に堆積する。次に、CMP (Chemical Mechanical Polishing) 法によって、シリコン酸化膜 2 4 を研磨除去する。かかる CMP 処理は、シリコン窒化膜 2 2 の底部を残して停止する。

【 0 0 3 2 】

図 6 を参照して、次に、残りのシリコン窒化膜 2 2 をウェットエッチングによって除去する。次に、チャンネル領域を形成するために、イオン注入法によって、ボロン等の不純物 (N M O S を形成する場合) を、1 0 ~ 5 0 k e V、 $1 \sim 9 \times 10^{12} \text{ cm}^{-2}$ の条件で、シリコン酸化膜 2 1 を介してシリコン層 8 内に導入する。なお、P M O S を形成する場合は、ヒ素等の不純物を 5 0 ~ 2 0 0 k e V、 $1 \sim 9 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入すればよい。次に、シリコン酸化膜 2 1 をウェットエッチングによって除去する。このときのウェットエッチングによってシリコン酸化膜 2 4 の上部も若干除去される。これにより、残ったシリコン酸化膜 2 4 として、素子分離絶縁膜 9 が得られる。

【 0 0 3 3 】

図 7 を参照して、次に、熱酸化法によって、素子分離絶縁膜 9 が形成されていない部分のシリコン層 8 の上面上に、1 ~ 5 n m 程度の膜厚を有するシリコン酸化膜 2 5 を形成する。次に、C V D 法によって、2 0 0 n m 程度の膜厚を有するポリシリコン膜 2 6 を全面に形成する。

【 0 0 3 4 】

図 8 を参照して、写真製版法及び異方性ドライエッチング法によってポリシリコン膜 2 6 をパターニングすることにより、ポリシリコン層 1 4 を形成する。次に、ポリシリコン層 1 4 及び素子分離絶縁膜 9 を注入マスクに用いて、イオン注入法によって、ヒ素等の不純物 (N M O S を形成する場合) を、5 ~ 3 0 k e V、 $1 \sim 9 \times 10^{14} \text{ cm}^{-2}$ の条件で、シリコン酸化膜 2 5 を介してシリコン層 8 内に導入する。これにより、比較的低濃度の低濃度領域 2 7 が、シリコン層 8 の上面上に浅く形成される。なお、P M O S を形成する場合は、 BF_2 等の不純物を 5 ~ 3 0 k e V、 $1 \sim 9 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入すればよい。

【 0 0 3 5 】

図9を参照して、次に、70～100nm程度の膜厚を有するシリコン酸化膜をCVD法によって全面に形成し、該シリコン酸化膜及びシリコン酸化膜25を、SOI基板5の深さ方向にエッチングレートの高い異方性ドライエッチング法によってエッチングすることにより、ポリシリコン層14の側面にサイドウォール20を形成する。なお、図9(B)においては、サイドウォール20の下地として存在する部分のシリコン酸化膜25はサイドウォール20の一部と捉えて、サイドウォール20と一体的に示している。

【0036】

図10を参照して、次に、ポリシリコン層14、サイドウォール20、及び素子分離絶縁膜9を注入マスクに用いて、イオン注入法によって、ヒ素等の不純物(NMOSを形成する場合)を、10～80keV、 $1\sim9\times10^{15}\text{cm}^{-2}$ の条件でシリコン層8内に導入する。これにより、ポリシリコン層14の下方に低濃度領域27を有する、比較的高濃度の不純物拡散領域11が形成される。不純物拡散領域11は、シリコン層8の上面からBOX層7の上面に達して形成されている。なお、PMOSを形成する場合は、ボロン等の不純物を10～50keV、 $1\sim9\times10^{15}\text{cm}^{-2}$ の条件でイオン注入すればよい。

【0037】

図11を参照して、次に、コバルト等の金属膜を5～10nm程度の膜厚で全面に形成した後、500～1000℃で1分間程度の熱処理を行う。これにより、互いに接触するシリコンと金属膜とが反応して、シリサイド化反応が起こる。これにより、不純物拡散領域11の上面がシリサイド化されてシリサイド層12となり、不純物拡散領域11とシリサイド層12とから成るソース・ドレイン領域2を形成することができる。また、ポリシリコン層14の上面がシリサイド化されてシリサイド層15となり、ポリシリコン層14とシリサイド層15とから成るゲート電極1を形成することができる。その後、シリコンと反応しなかった部分の金属膜をウェットエッチングによって除去する。

【0038】

図12を参照して、次に、CVD法によって、1000nm程度の膜厚を有するシリコン酸化膜を全面に堆積した後、その上面から400nm程度の膜厚をC

MP法によって研磨除去することにより、シリコン酸化膜の上面を平坦化する。これにより、層間絶縁膜18を形成することができる。次に、層間絶縁膜18の上面からシリサイド層12の上面に達するコンタクトホール16を、層間絶縁膜18内に選択的に形成する。

【0039】

次に、500nm程度の膜厚を有するタングステン膜を全面に堆積した後、層間絶縁膜18の上面が露出するまで該タングステン膜をCMP法によって研磨除去することにより、コンタクトホール16内を導体プラグ17（導電体）によって充填する。これにより、コンタクトプラグ4を形成する。次に、コンタクトプラグ4に接触するように、アルミニウム等から成るソース・ドレイン配線19を層間絶縁膜18の上面上に選択的に形成することにより、図2に示した構造を得る。

【0040】

図13は、本実施の形態1に係るMOSFETを、CMOSに適用した例を示す上面図である。CMOSは、ゲート電極1を共有するNMOSとPMOSとを備えている。ゲート電極1は、CMOSの入力INに接続されている。NMOSは、ゲート電極1の下チャンネル領域を挟んで対を成すソース領域2s1及びドレイン領域2d1を有している。ソース領域2s1は、第1部分3a1と第2部分3b1とを有している。第2部分3b1は、コンタクトプラグ4aを介して電源VDDに接続されている。ドレイン領域2d1は、チャンネル領域に隣接する第1部分3a2と、ドレイン領域2d1の外周縁の一部が平面視上ゲート電極1から遠ざかるように、第1部分3a2からチャンネル長方向に突出して形成された第2部分3b2とを有している。第2部分3b2は、コンタクトプラグ4bを介して、CMOSの出力OUTに接続されている。

【0041】

PMOSは、ゲート電極1の下チャンネル領域を挟んで対を成すソース領域2s2及びドレイン領域2d2を有している。ソース領域2s2は、第1部分3a3と第2部分3b3とを有している。第2部分3b3は、コンタクトプラグ4dを介して接地GNDに接続されている。ドレイン領域2d2は、チャンネル領域に

隣接する第 1 部分 3 a 4 と、ドレイン領域 2 d 2 の外周縁の一部が平面視上ゲート電極 1 から遠ざかるように、第 1 部分 3 a 4 からチャンネル長方向に突出して形成された第 2 部分 3 b 4 とを有している。第 2 部分 3 b 4 は、コンタクトプラグ 4 c を介して、CMOS の出力 OUT に接続されている。

【 0 0 4 2 】

このように本実施の形態 1 に係る半導体装置及びその製造方法によれば、ソース・ドレイン領域 2 は、ボディ領域 1 0 に隣接する第 1 部分 3 a と、ソース・ドレイン領域 2 の外周縁の一部が平面視上ゲート電極 1 から遠ざかるように、第 1 部分 3 a から突出して形成された第 2 部分 3 b とを有している。そして、ソース・ドレイン領域 2 とソース・ドレイン配線 1 9 とを接続するためのコンタクトプラグ 4 は、ソース・ドレイン領域 2 の第 2 部分 3 b に形成されている。

【 0 0 4 3 】

そのため、図 2 8 に示した従来の MOSFET と比較すると、コンタクトプラグ 4 とゲート電極 1 との間の距離を拡げることができる。その結果、ソース・ドレイン領域 2 の面積を縮小して素子の微細化を図りつつ、コンタクトプラグ 4 とゲート電極 1 との間に生じる寄生容量の増大を抑制でき、動作の高速化及び消費電力の低減を図ることが可能となる。

【 0 0 4 4 】

しかも、本実施の形態 1 に係る MOSFET は SOI 基板 5 を採用し、ソース・ドレイン領域 2 は、シリコン層 8 の上面から BOX 層 7 の上面に達して形成されている。そのため、図 2 8 に示した従来の MOSFET と比較すると、第 2 部分 3 b を形成した分だけソース・ドレイン領域 2 の面積が広がっているとはいえ、これに伴うソース・ドレイン容量の増大を最小限に抑えることができる。

【 0 0 4 5 】

実施の形態 2.

図 1 4 は、本発明の実施の形態 2 に係る MOSFET の構造を示す上面図である。ゲート電極 1 の下方にはチャンネル領域（図 1 4 には現れない）が形成されており、チャンネル領域を挟んで一对のソース・ドレイン領域 2 が形成されている。ソース・ドレイン領域 2 は、チャンネル領域に隣接する第 1 部分 3 0 a と、ソース

・ドレイン領域 2 の外周縁の一部が平面視上ゲート電極 1 から遠ざかるように、第 1 部分 3 0 a の角部（ゲート電極 1 に隣接しない側の角部）から、チャネル幅方向に対して斜め 4 5 度程度外側に突出して形成された第 2 部分 3 0 b とを有している。ソース・ドレイン領域 2 とソース・ドレイン配線（図示しない）とを接続するためのコンタクトプラグ 4 は、ソース・ドレイン領域 2 の第 2 部分 3 0 b に接続されている。本実施の形態 2 に係る MOSFET のその他の構造は、上記実施の形態 1 に係る MOSFET の構造と同様である。

【 0 0 4 6 】

図 1 5 は、本実施の形態 2 に係る MOSFET を、CMOS に適用した例を示す上面図である。NMOS に関して、ソース領域 2 s 1 は、第 1 部分 3 0 a 1 と第 2 部分 3 0 b 1 とを有している。第 2 部分 3 0 b 1 は、コンタクトプラグ 4 a を介して電源 VDD に接続されている。ドレイン領域 2 d 1 は、第 1 部分 3 0 a 2 と第 2 部分 3 0 b 2 とを有している。第 2 部分 3 0 b 2 は、コンタクトプラグ 4 b を介して、CMOS の出力 OUT に接続されている。PMOS に関して、ソース領域 2 s 2 は、第 1 部分 3 0 a 3 と第 2 部分 3 0 b 3 とを有している。第 2 部分 3 0 b 3 は、コンタクトプラグ 4 d を介して接地 GND に接続されている。ドレイン領域 2 d 2 は、第 1 部分 3 0 a 4 と第 2 部分 3 0 b 4 とを有している。第 2 部分 3 0 b 4 は、コンタクトプラグ 4 c を介して、CMOS の出力 OUT に接続されている。

【 0 0 4 7 】

このように本実施の形態 2 に係る MOSFET によれば、ソース・ドレイン領域 2 は、チャネル領域に隣接する第 1 部分 3 0 a と、ソース・ドレイン領域 2 の外周縁の一部が平面視上ゲート電極 1 から遠ざかるように、第 1 部分 3 0 a の角部から斜め 4 5 度程度外側に突出して形成された第 2 部分 3 0 b とを有している。そして、コンタクトプラグ 4 は、ソース・ドレイン領域 2 の第 2 部分 3 0 b に接続されている。従って、上記実施の形態 1 に係る MOSFET と比較すると、コンタクトプラグ 4 とゲート電極 1 との間の距離をさらに広げることができるため、ソース・ドレイン領域 2 の面積の縮小に伴ってコンタクトプラグ 4 とゲート電極 1 との間に生じる寄生容量の増大を、さらに抑制することが可能となる。

【 0 0 4 8 】

実施の形態 3.

図 1 6 は、本発明の実施の形態 3 に係る MOS F E T の構造を示す上面図である。本実施の形態 3 に係る MOS F E T は、図 1 に示した上記実施の形態 1 に係る MOS F E T を基礎として、ソース・ドレイン領域 2 の第 2 部分 3 b に全面的に接触する底面を有するコンタクトプラグ 4 の代わりに、ゲート電極 1 から遠ざかるように位置ずれて、第 2 部分 3 b に部分的に接触する底面を有するコンタクトプラグ 3 1 を形成したものである。図 1 6 においては、コンタクトプラグ 3 1 の底面の下半分のみが、第 2 部分 3 b に接触している。

【 0 0 4 9 】

図 1 7 は、図 1 6 に示したライン X 1 に沿った位置に関する断面構造を示す断面図である。コンタクトプラグ 3 1 は、コンタクトホール 3 2 と、コンタクトホール 3 2 内を充填する導体プラグ 3 3 とを有している。コンタクトプラグ 3 1 の底面は、第 1 部分 3 a に近い左側半分がシリサイド層 1 2 に接触しており、第 1 部分 3 a から遠い右側半分が素子分離絶縁膜 9 に接触している。また、コンタクトプラグ 3 1 の上面は、ソース・ドレイン配線 1 9 に接触している。

【 0 0 5 0 】

このように本実施の形態 3 に係る MOS F E T によれば、ゲート電極 1 から遠ざかるように、ソース・ドレイン領域 2 の第 2 部分 3 b に部分的に接触する底面を有するコンタクトプラグ 3 1 を形成した。従って、上記実施の形態 1 に係る MOS F E T と比較すると、コンタクトプラグ 3 1 とゲート電極 1 との間の距離をさらに拡げることができるため、コンタクトプラグ 3 1 とゲート電極 1 との間に生じる寄生容量をさらに低減することが可能となる。

【 0 0 5 1 】

実施の形態 4.

図 1 8 は、本発明の実施の形態 4 に係る MOS F E T の構造を示す上面図である。本実施の形態 4 に係る MOS F E T は、図 1 4 に示した上記実施の形態 2 に係る MOS F E T を基礎として、ソース・ドレイン領域 2 の第 2 部分 3 0 b に全面的に接触する底面を有するコンタクトプラグ 4 の代わりに、ゲート電極 1 から

遠ざかるように位置ずれして、第 2 部分 3 0 b に部分的に接触する底面を有するコンタクトプラグ 3 1 を形成したものである。

【 0 0 5 2 】

このように本実施の形態 4 に係る MOSFET によれば、ゲート電極 1 から遠ざかるように、ソース・ドレイン領域 2 の第 2 部分 3 0 b に部分的に接触する底面を有するコンタクトプラグ 3 1 を形成した。従って、上記実施の形態 2 に係る MOSFET と比較すると、コンタクトプラグ 3 1 とゲート電極 1 との間の距離をさらに拡げることができるため、コンタクトプラグ 3 1 とゲート電極 1 との間に生じる寄生容量を低減することが可能となる。

【 0 0 5 3 】

実施の形態 5.

図 1 9 は、本発明の実施の形態 5 に係る MOSFET の構造を示す上面図である。本実施の形態 5 に係る MOSFET は、図 1 に示した上記実施の形態 1 に係る MOSFET を基礎として、第 1 部分 3 a 及び第 2 部分 3 b を有するソース領域 2 の代わりに、図 2 8 に示した従来の MOSFET と同様のソース領域 1 0 4 を形成したものである。図 1 9 を参照して、本実施の形態 5 に係る MOSFET は、図 1 に示した第 1 部分 3 a のみに相当するソース領域 2 s を有している。ソース領域 2 s は、図 2 8 に示した従来の MOSFET と同様に、ゲート電極 1 に隣接して配置されたコンタクトプラグ 1 0 3 を介して、ソース配線（図示しない）に接続されている。本実施の形態 4 に係る MOSFET のその他の構造は、図 1 に示した上記実施の形態 1 に係る MOSFET の構造と同様である。

【 0 0 5 4 】

このように本実施の形態 5 に係る MOSFET によれば、ドレイン領域 2 d に関しては上記実施の形態 1 に係る発明を適用する一方、ソース領域 2 s に関しては、従来の MOSFET と同様に、ゲート電極 1 に隣接する箇所にコンタクトプラグ 1 0 3 を配置した。従って、上記実施の形態 1 に係る MOSFET と比較すると、ソース領域 2 s のコンタクトプラグ 1 0 3 と、ゲート電極 1 との間の距離を短くすることができる。そのため、コンタクトプラグ 4 をゲート電極 1 から遠ざけて配置することに起因するソース抵抗の上昇を回避でき、ソース抵抗の上昇

に伴う基板バイアス効果の発生を防止することができる。

【 0 0 5 5 】

なお、以上の説明では上記実施の形態 1 に係る MOSFET を基礎として、本実施の形態 5 に係る発明を適用する場合の例について述べたが、上記実施の形態 2 ～ 4 に係る発明を基礎として、本実施の形態 5 に係る発明を適用することも可能である。

【 0 0 5 6 】

実施の形態 6.

図 2 0 は、本発明の実施の形態 6 に係る MOSFET の構造を示す断面図である。SOI 基板 1 0 5 は、シリコン基板 1 0 6、BOX 層 1 0 7、及びシリコン層 1 0 8 がこの順に積層された積層構造を成している。シリコン層 1 0 8 の上面内には、STI 等の素子分離絶縁膜 1 0 9 が選択的に形成されている。

【 0 0 5 7 】

素子分離絶縁膜 1 0 9 によって規定される SOI 基板 1 0 5 の素子形成領域において、シリコン層 1 0 8 の上面内には、p 型のボディ領域 1 1 0 を挟んで対を成す、ソース・ドレイン領域 1 0 4 が形成されている。ソース・ドレイン領域 1 0 4 は、シリコン層 1 0 8 の上面から BOX 層 1 0 7 の上面に達して形成された n^+ 型の不純物拡散領域 1 1 1 と、シリコン層 1 0 8 の上面をシリサイド化することによって形成されたシリサイド層 1 1 2 とを有している。

【 0 0 5 8 】

ボディ領域 1 1 0 上には、ゲート酸化膜 1 1 3 とゲート電極 1 0 1 とがこの順に積層された積層構造を成すゲート構造が形成されている。該ゲート構造の側面には、多孔質状の酸化シリコンから成るサイドウォール 3 4 が形成されている。ゲート電極 1 0 1 は、ゲート酸化膜 1 1 3 上に形成されたポリシリコン層 1 1 4 と、ポリシリコン層 1 1 4 上に形成されたシリサイド層 1 1 5 とを有している。

【 0 0 5 9 】

また、シリサイド層 1 1 5、1 1 2、サイドウォール 3 4、及び素子分離絶縁膜 1 0 9 の各露出面を覆って、酸化シリコンから成る層間絶縁膜 1 1 8 が全面に形成されている。層間絶縁膜 1 1 8 上には、アルミニウム等から成るソース・ド

レイン配線 1 1 9 が選択的に形成されている。また、層間絶縁膜 1 1 8 内には、ソース・ドレイン配線 1 1 9 とソース・ドレイン領域 1 0 4 とを接続するためのコンタクトプラグ 1 0 3 が選択的に形成されている。コンタクトプラグ 1 0 3 は、層間絶縁膜 1 1 8 の上面からシリサイド層 1 1 2 の上面に達して形成されたコンタクトホール 1 1 6 と、該コンタクトホール 1 1 6 内を充填する導体プラグ 1 1 7 とを有している。

【 0 0 6 0 】

図 2 1 ～ 2 3 は、サイドウォール 3 4 の形成方法を工程順に示す断面図である。図 2 1 を参照して、まず、上記実施の形態 1 と同様の方法によって図 8 (B) に示す構造を得た後、スピコートによって、5 0 n m 程度の膜厚を有するシリコン酸化膜 3 5 を全面に塗布する。但し、シリコン酸化膜 3 5 は、C V D 法によって形成してもよい。ここで、シリコン酸化膜 3 5 内には、非常に細かい有機粒（例えば、高い沸点を有するポリイミド系の有機物の粒状体）3 6 を全面に含ませておく。

【 0 0 6 1 】

図 2 2 を参照して、次に、5 0 0 ～ 9 0 0 ℃ の温度で 3 0 分間程度アニールを行うことによって、シリコン酸化膜 3 5 内に含まれている有機粒 3 6 を気化させる。これにより、有機粒 3 6 が存在していた部分に空孔 3 8 が生じ、多孔質状のシリコン酸化膜 3 7 が得られる。

【 0 0 6 2 】

図 2 3 を参照して、次に、S O I 基板 1 0 5 の深さ方向にエッチングレートの高い異方性ドライエッチング法によってシリコン酸化膜 3 7, 2 5 をエッチングすることにより、ポリシリコン層 1 4 の側面にサイドウォール 3 4 を形成する。換言すれば、ゲート絶縁膜 1 3 及びポリシリコン層 1 4 から成るゲート構造の側面に、ゲート絶縁膜 1 3 の一部を下地に有するサイドウォール 3 4 を形成する。

【 0 0 6 3 】

このように本実施の形態 6 に係る M O S F E T 及びその製造方法によれば、ゲート構造の側面には、多孔質状の酸化シリコンから成るサイドウォール 3 4 が形成されている。そのため、多孔質状ではない通常の酸化シリコンから成るサイド

ウォールを有するMOSFETと比較すると、サイドウォール34の誘電率が低下するため、ソース・ドレイン領域104のコンタクトプラグ103とゲート電極101との間に生じる寄生容量を低減することができる。

【0064】

なお、以上の説明では、SOI基板105を用いて本実施の形態6に係るMOSFETを形成する場合の例について述べたが、SOI基板ではない通常のバルク基板を用いて、本実施の形態6に係るMOSFETを形成した場合であっても、上記と同様の効果を得ることができる。

【0065】

実施の形態7.

図24は、本発明の実施の形態7に係るMOSFETの構造を示す断面図である。以下、図20に示した上記実施の形態6に係るMOSFETとの相違点のみ説明する。多孔質状の酸化シリコンから成るサイドウォール34の代わりに、サイドウォール120aが形成されている。サイドウォール120aは、層間絶縁膜118の材質（ここでは酸化シリコン）とは異なる材質（例えば窒化シリコン）によって構成されている。サイドウォール120aを構成する材質は、多孔質状であっても、多孔質状でなくてもよい。

【0066】

また、コンタクトプラグ103とゲート電極101との間において、層間絶縁膜118が選択的に除去されて、開口部39が形成されている。これにより、サイドウォール120aの表面及びシリサイド層115の上面が露出している。

【0067】

図25は、開口部39の形成方法を示す断面図である。図20に示した構造（但し、本実施の形態7においては、サイドウォール34の代わりにサイドウォール120aが形成されている）を得た後、ソース・ドレイン配線119を覆って、層間絶縁膜118上にフォトリソスト40を形成する。フォトリソスト40は、開口部39を形成する予定の領域の上方が開口したパターンを有している。次に、フォトリソスト40をエッチングマスクに用いて、SOI基板105の深さ方向にエッチングレートが高く、かつ酸化シリコンに対して選択性を有する異方

性ドライエッチング法によって層間絶縁膜 1 1 8 をエッチングする。これにより、開口部 3 9 が形成される。その後、フォトリジスト 4 0 を除去することによって、図 2 4 に示した構造が得られる。

【 0 0 6 8 】

このように本実施の形態 7 に係る MOSFET 及びその製造方法によれば、ソース・ドレイン領域 1 0 4 のコンタクトプラグ 1 0 3 と、ゲート電極 1 0 1 との間において、層間絶縁膜 1 1 8 が選択的に除去されて、開口部 3 9 が形成されている。そのため、図 2 9 に示した従来の MOSFET と比較すると、コンタクトプラグ 1 0 3 とゲート電極 1 0 1 との間の領域の誘電率が低下するため、両者間に生じる寄生容量を低減することができる。

【 0 0 6 9 】

なお、以上の説明では、ゲート電極 1 0 1 上の層間絶縁膜 1 1 8 も除去する場合について説明した。しかし、コンタクトプラグ 1 0 3 とゲート電極 1 0 1 との間に生じる寄生容量を低減するという目的を達成するためには、少なくとも、コンタクトプラグ 1 0 3 とゲート電極 1 0 1 との間の層間絶縁膜 1 1 8 のみを除去すれば十分である。従って、ゲート電極 1 0 1 上の層間絶縁膜 1 1 8 は必ずしも除去する必要はない。

【 0 0 7 0 】

また、以上の説明では、SOI 基板 1 0 5 を用いて本実施の形態 7 に係る MOSFET を形成する場合の例について述べたが、SOI 基板ではない通常のバルク基板を用いて、本実施の形態 7 に係る MOSFET を形成した場合であっても、上記と同様の効果を得ることができる。

【 0 0 7 1 】

実施の形態 8.

図 2 6 は、本発明の実施の形態 8 に係る MOSFET の構造を示す断面図である。以下、図 2 4 に示した上記実施の形態 7 に係る MOSFET との相違点のみ説明する。サイドウォール 1 2 0 a が除去されて、凹部 4 1 内においてゲート電極 1 0 1 の上面及び側面が露出している。かかる構造は、層間絶縁膜 1 1 8 と同じ材質（ここでは酸化シリコン）によってサイドウォール 1 2 0 a を形成し、図

25に示した工程で、層間絶縁膜118とともにサイドウォール120aを併せてエッチングすることによって得られる。

【0072】

このように本実施の形態8に係るMOSFET及びその製造方法によれば、コンタクトプラグ103とゲート電極101との間の層間絶縁膜118とともに、ゲート電極101の側面に形成されていたサイドウォール120aも併せて除去されている。従って、上記実施の形態7に係るMOSFETと比較すると、コンタクトプラグ103とゲート電極101との間の領域の誘電率がさらに低下するため、両者間に生じる寄生容量をさらに低減することができる。

【0073】

なお、以上の説明では、SOI基板105を用いて本実施の形態8に係るMOSFETを形成する場合の例について述べたが、SOI基板ではない通常のバルク基板を用いて、本実施の形態8に係るMOSFETを形成した場合であっても、上記と同様の効果を得ることができる。

【0074】

【発明の効果】

この発明のうち請求項1に係るものによれば、第1の導電体がドレイン領域の第1部分に接続されている半導体装置と比較すると、第1の導電体とゲート電極との間の距離を拡げることができる。そのため、第1の導電体とゲート電極との間に生じる寄生容量を低減することができる。

【0075】

しかも、SOI基板を採用しているため、ドレイン領域を、半導体層の上面から絶縁層の上面に達して形成することができる。そのため、第2部分を形成した分だけドレイン領域の面積が拡がっているとはいえ、これに伴うドレイン容量の増大を最小限に抑えることができる。

【0076】

また、この発明のうち請求項2に係るものによれば、ドレイン領域の第2部分がチャネル幅方向に突出して形成されている場合と比較すると、第1の導電体とゲート電極との間の距離を拡げることができるため、両者間に生じる寄生容量を

低減することが可能となる。

【 0 0 7 7 】

また、この発明のうち請求項 3 に係るものによれば、第 1 の導電体とゲート電極との間の距離をさらに拡げることができるため、両者間に生じる寄生容量をさらに低減することが可能となる。

【 0 0 7 8 】

また、この発明のうち請求項 4 に係るものによれば、第 2 の導電体がソース領域の第 1 部分に接続されている半導体装置と比較すると、第 2 の導電体とゲート電極との間の距離を拡げることができる。その結果、第 2 の導電体とゲート電極との間に生じる寄生容量を低減することができる。

【 0 0 7 9 】

また、この発明のうち請求項 5 に係るものによれば、ソース領域の第 2 部分がチャンネル幅方向に突出して形成されている場合と比較すると、第 2 の導電体とゲート電極との間の距離を拡げることができるため、両者間に生じる寄生容量を低減することが可能となる。

【 0 0 8 0 】

また、この発明のうち請求項 6 に係るものによれば、第 2 の導電体とゲート電極との間の距離をさらに拡げることができるため、両者間に生じる寄生容量をさらに低減することが可能となる。

【 0 0 8 1 】

また、この発明のうち請求項 7 に係るものによれば、請求項 4 ～ 6 のいずれか一つに記載の半導体装置と比較すると、第 2 の導電体とゲート電極との間の距離を短くすることができる。そのため、第 2 の導電体をゲート電極から遠ざけて配置することに起因するソース抵抗の上昇を回避でき、ソース抵抗の上昇に伴う基板バイアス効果の発生を防止することができる。

【 0 0 8 2 】

また、この発明のうち請求項 8 に係るものによれば、多孔質状の材質によってサイドウォールを形成することにより、サイドウォールの誘電率を低下させることができる。そのため、多孔質状ではない材質から成るサイドウォールを有する

半導体装置と比較すると、第 1 及び第 2 の導電体とゲート電極との間に生じる寄生容量を低減することができる。

【 0 0 8 3 】

また、この発明のうち請求項 9 に係るものによれば、ゲート電極と第 1 及び第 2 の導電体との間の領域の誘電率が低下するため、両者間に生じる寄生容量を低減することができる。

【 0 0 8 4 】

また、この発明のうち請求項 1 0 に係るものによれば、多孔質状の材質によってサイドウォールを形成することにより、サイドウォールの誘電率を低下させることができる。そのため、多孔質状ではない材質から成るサイドウォールを有する半導体装置と比較すると、導電体とゲート電極との間に生じる寄生容量を低減することができる。

【 0 0 8 5 】

また、この発明のうち請求項 1 1 に係るものによれば、ゲート電極と導電体との間の領域の誘電率が低下するため、両者間に生じる寄生容量を低減することができる。

【 0 0 8 6 】

また、この発明のうち請求項 1 2 に係るものによれば、ゲート電極と導電体との間の領域の誘電率が低下するため、両者間に生じる寄生容量を低減することができる。

【 0 0 8 7 】

また、この発明のうち請求項 1 3 に係るものによれば、サイドウォールを除去することによって、ゲート電極と導電体との間の領域の誘電率がさらに低下するため、両者間に生じる寄生容量をさらに低減することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る MOSFET の構造を示す上面図である。

【図 2】 本発明の実施の形態 1 に係る MOSFET の断面構造を示す断面図である。

【図 3】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 8】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 9】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 1 0】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 1 1】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 1 に係る MOS F E T の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 1 に係る MOS F E T を、CMOS に適用した例を示す上面図である。

【図 1 4】 本発明の実施の形態 2 に係る MOS F E T の構造を示す上面図である。

【図 1 5】 本実施の形態 2 に係る MOS F E T を、CMOS に適用した例を示す上面図である。

【図 1 6】 本発明の実施の形態 3 に係る MOS F E T の構造を示す上面図である。

【図 1 7】 本発明の実施の形態 3 に係る MOS F E T の断面構造を示す断

面図である。

【図 1 8】 本発明の実施の形態 4 に係る MOS F E T の構造を示す上面図である。

【図 1 9】 本発明の実施の形態 5 に係る MOS F E T の構造を示す上面図である。

【図 2 0】 本発明の実施の形態 6 に係る MOS F E T の構造を示す断面図である。

【図 2 1】 本発明の実施の形態 6 に係る MOS F E T に関して、サイドウォールの形成方法を工程順に示す断面図である。

【図 2 2】 本発明の実施の形態 6 に係る MOS F E T に関して、サイドウォールの形成方法を工程順に示す断面図である。

【図 2 3】 本発明の実施の形態 6 に係る MOS F E T に関して、サイドウォールの形成方法を工程順に示す断面図である。

【図 2 4】 本発明の実施の形態 7 に係る MOS F E T の構造を示す断面図である。

【図 2 5】 本発明の実施の形態 7 に係る MOS F E T に関して、開口部の形成方法を示す断面図である。

【図 2 6】 本発明の実施の形態 8 に係る MOS F E T の構造を示す断面図である。

【図 2 7】 一般的な MOS F E T の構造を示す上面図である。

【図 2 8】 従来の MOS F E T の構造を示す上面図である。

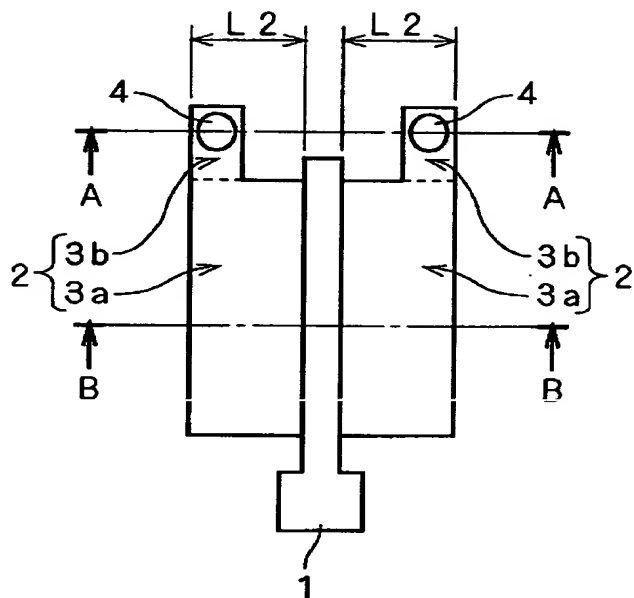
【図 2 9】 従来の MOS F E T の断面構造を示す断面図である。

【符号の説明】

1 ゲート電極、2 ソース・ドレイン領域、3 a, 3 0 a 第 1 部分、3 b, 3 0 b 第 2 部分、4, 3 1 コンタクトプラグ、5 S O I 基板、6 シリコン基板、7 B O X 層、1 0 ボディ領域、1 1 不純物拡散領域、1 3 ゲート絶縁膜、1 8 層間絶縁膜、2 0, 3 4, 1 2 0 a サイドウォール、1 9 ソース・ドレイン配線、3 7 シリコン酸化膜、3 9, 4 1 開口部。

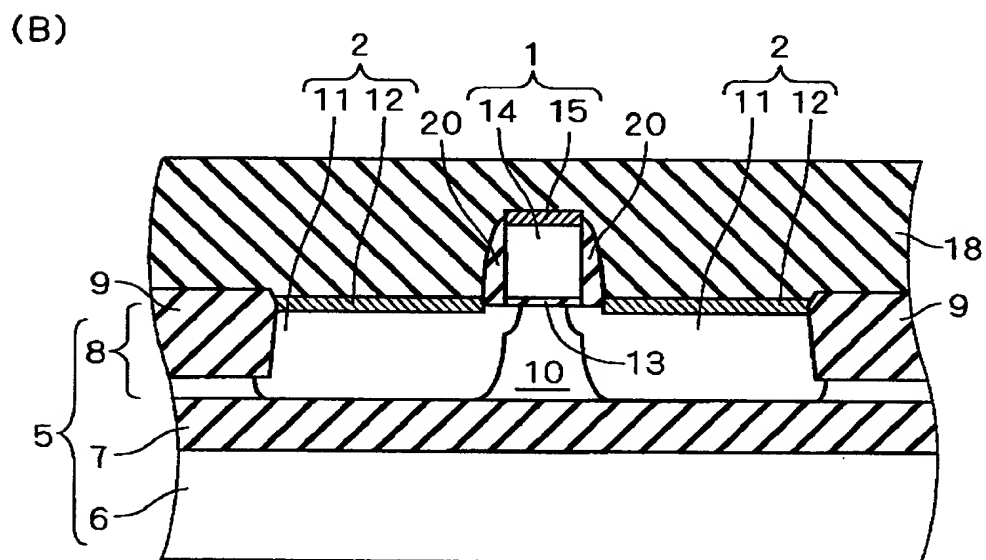
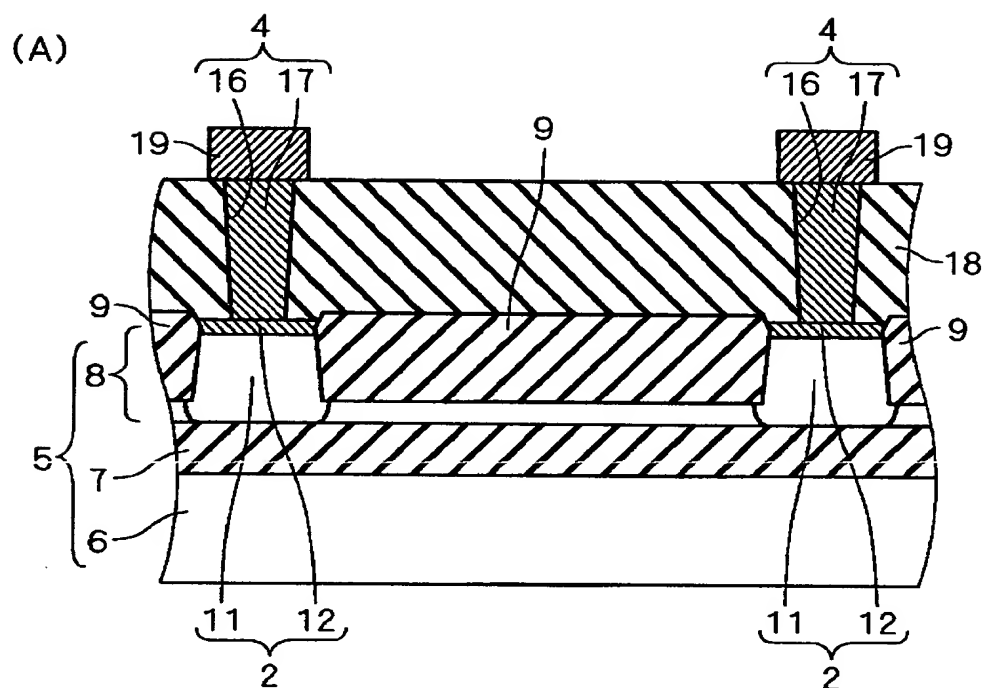
【書類名】 図面

【図 1】



- 1 : ゲート電極
- 2 : ソース・ドレイン領域
- 3a : 第1部分
- 3b : 第2部分
- 4 : コンタクトプラグ

【図2】

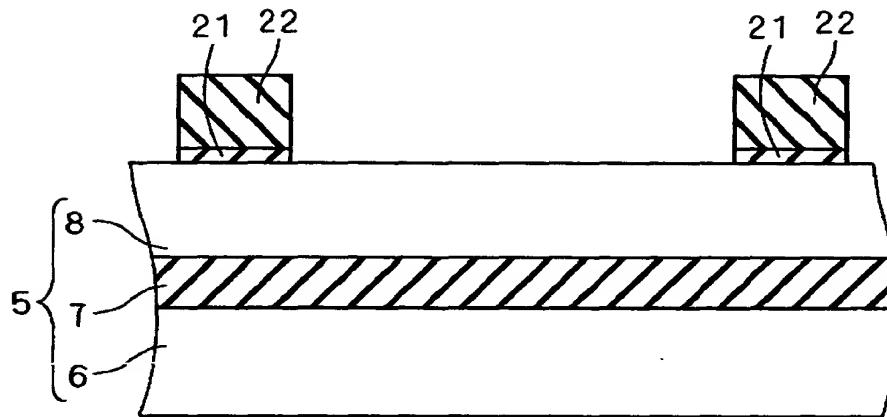


5 : SOI基板
6 : シリコン基板
7 : BOX層
8 : シリコン層
9 : 素子分離絶縁膜
10 : ボディ領域
11 : 不純物拡散領域
12, 15 : シリサイド層
13 : ゲート絶縁膜
14 : ポリシリコン層

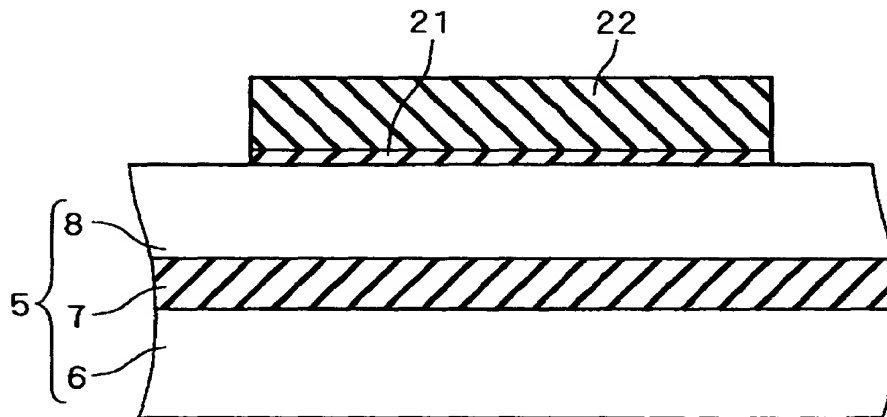
17 : 導体プラグ
18 : 層間絶縁膜
19 : リース・ドレイン配線
20 : サイドウォール

【図 3】

(A)



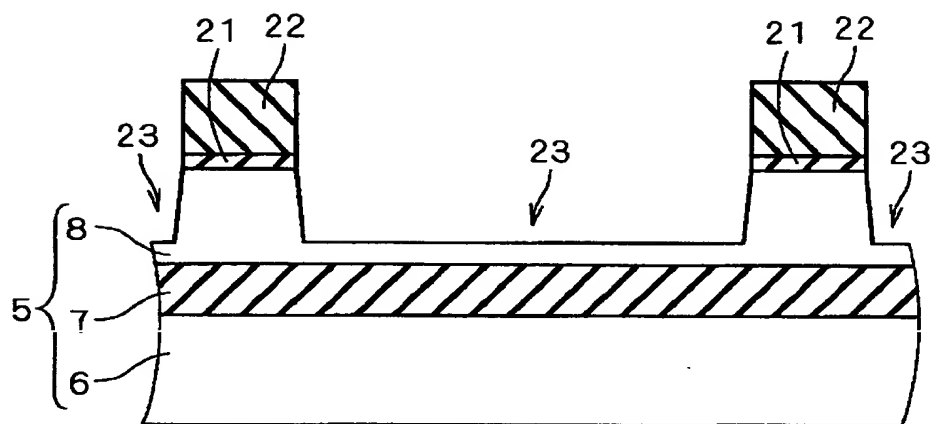
(B)



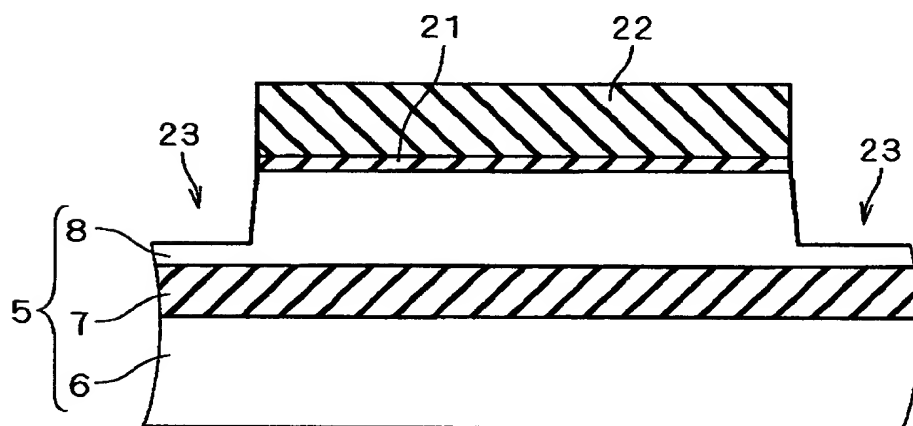
21 : シリコン酸化膜
22 : シリコン窒化膜

【図4】

(A)

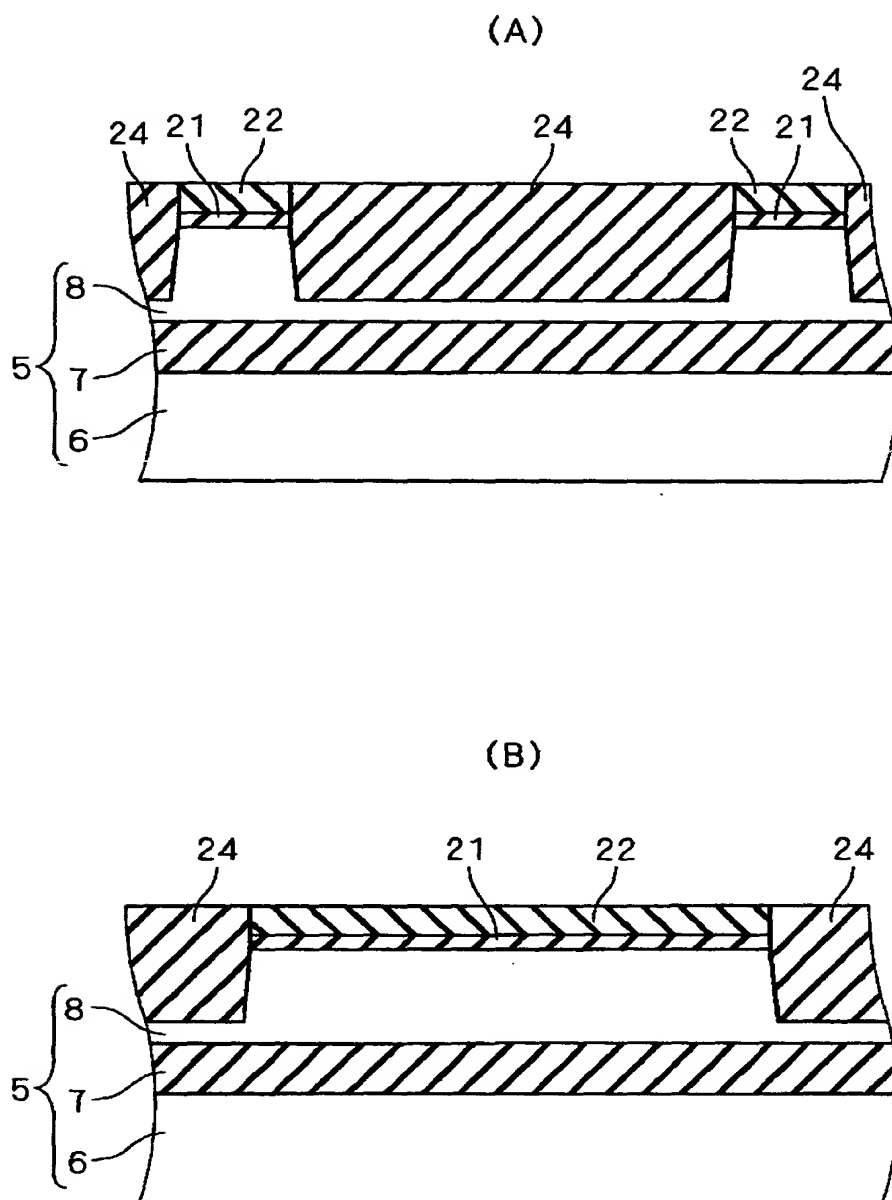


(B)



23 : 凹部

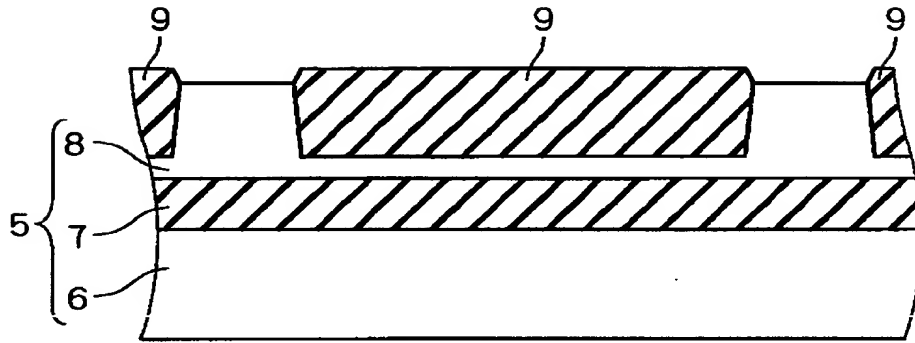
【図 5】



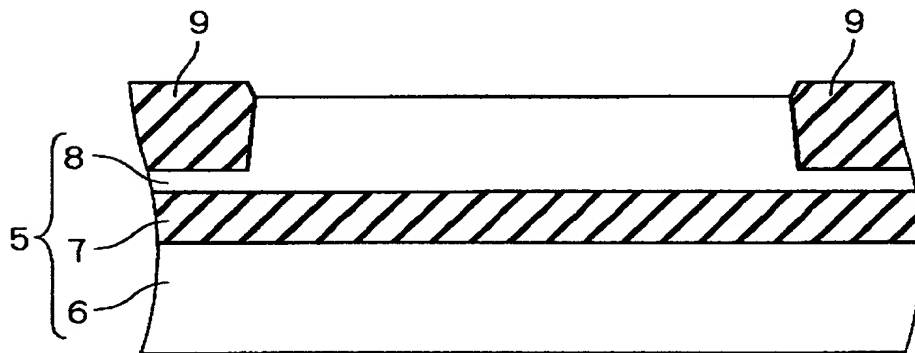
24 : シリコン酸化膜

【図 6】

(A)

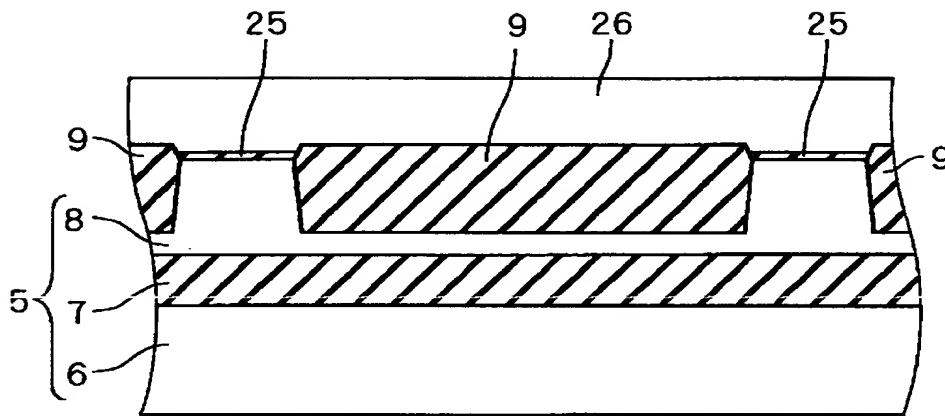


(B)

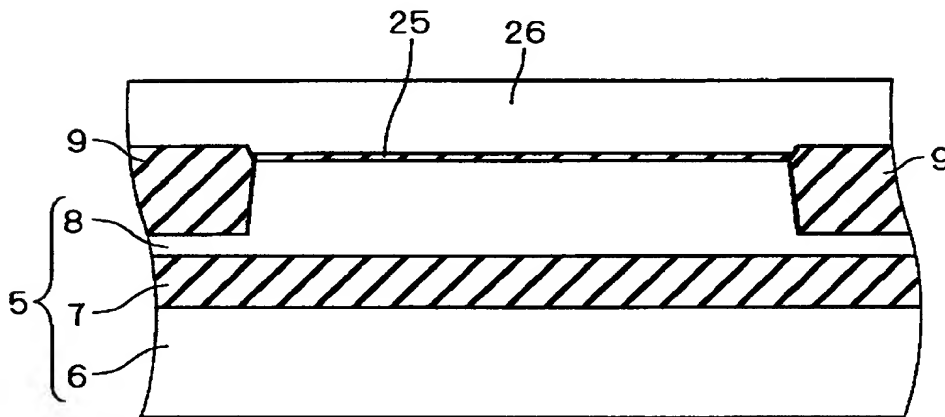


【図7】

(A)



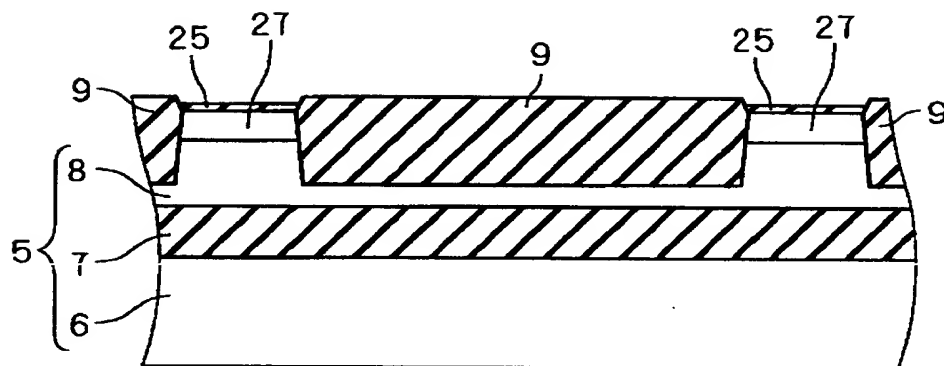
(B)



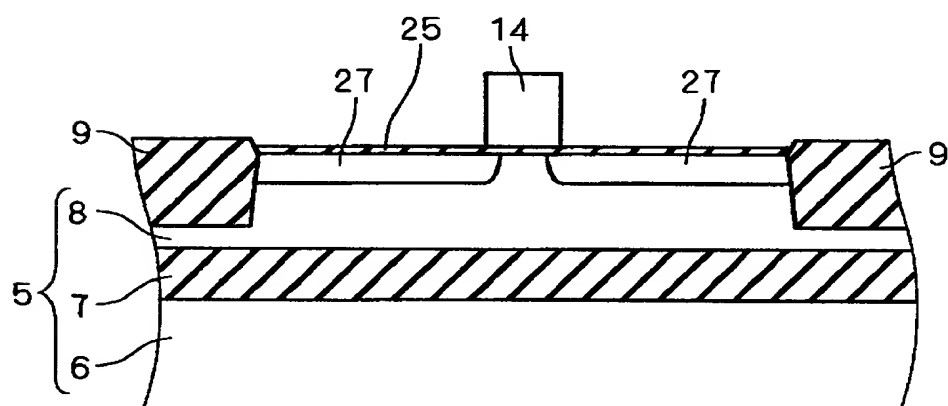
25 : シリコン酸化膜
26 : ポリシリコン膜

【図 8】

(A)



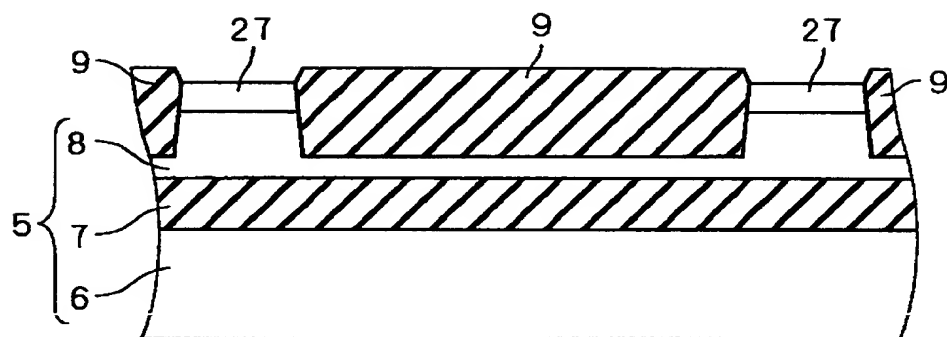
(B)



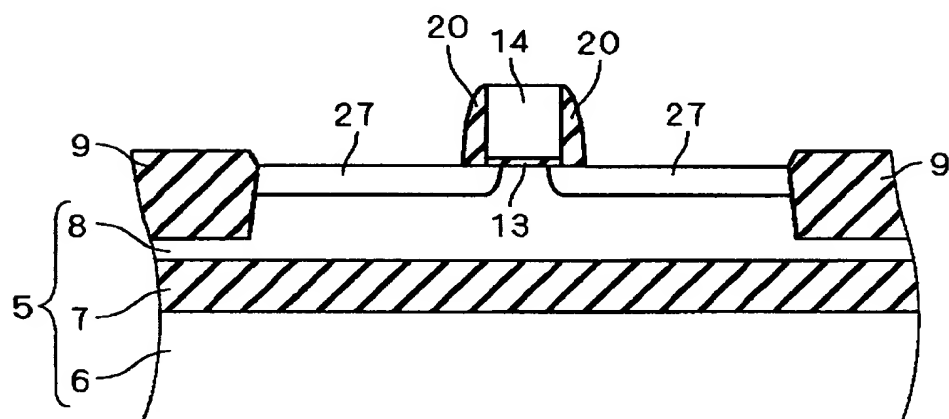
27 : 低濃度領域

【図 9】

(A)

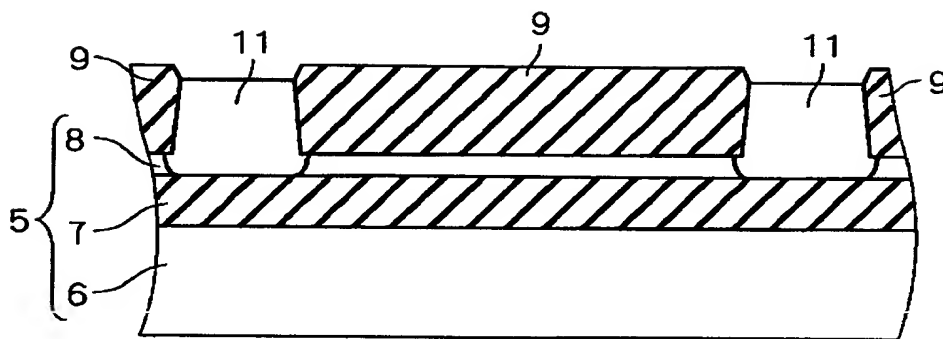


(B)

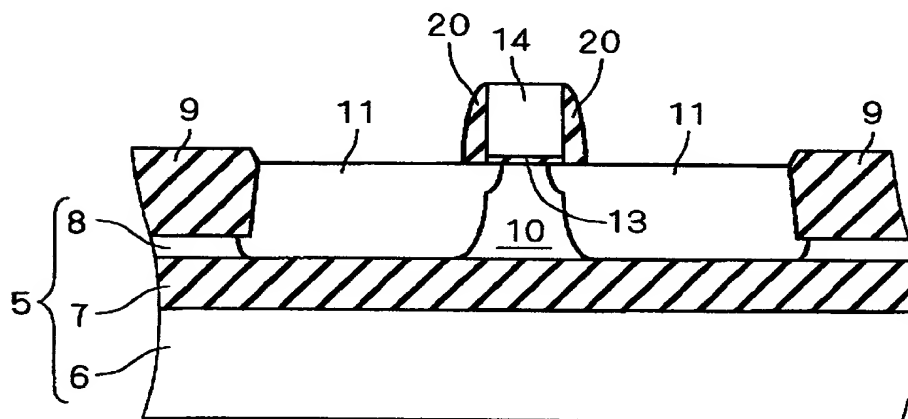


【図 1 0】

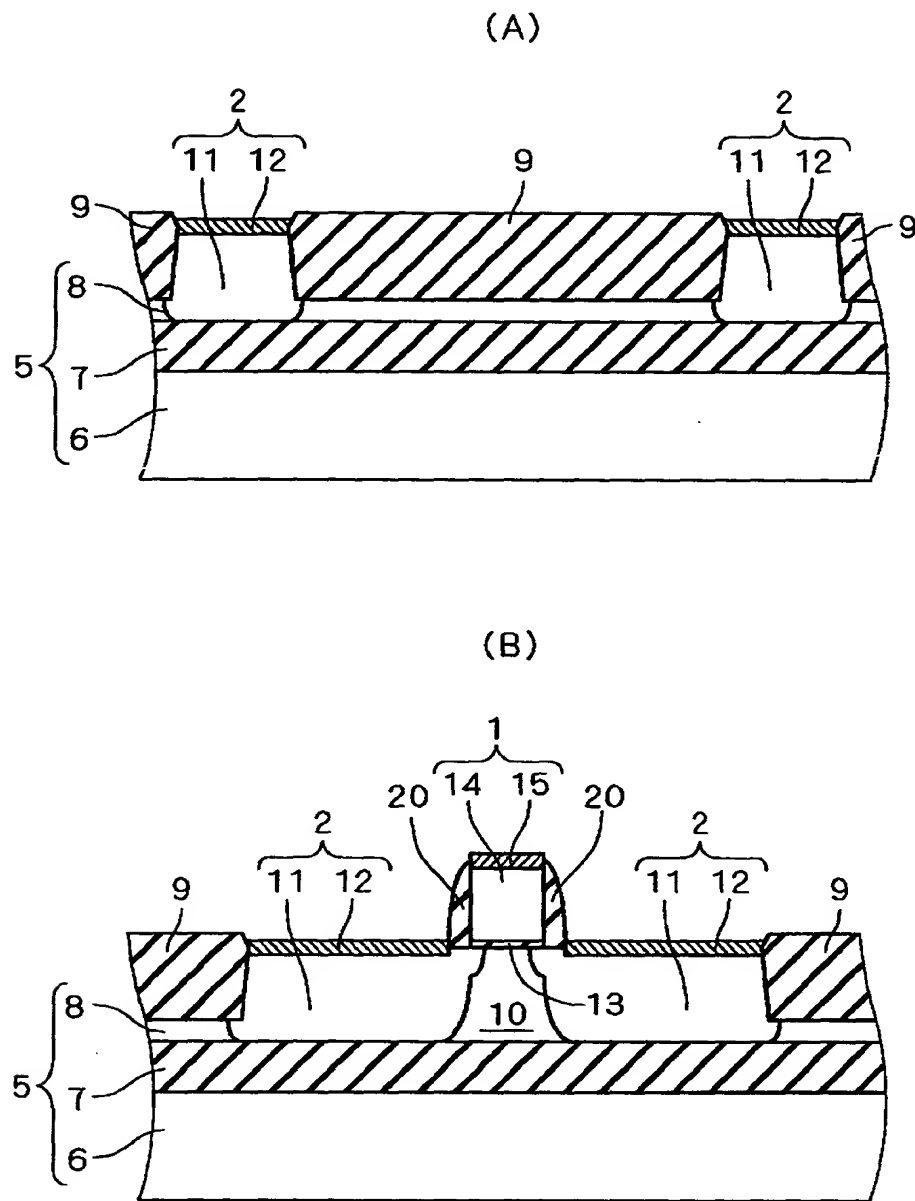
(A)



(B)

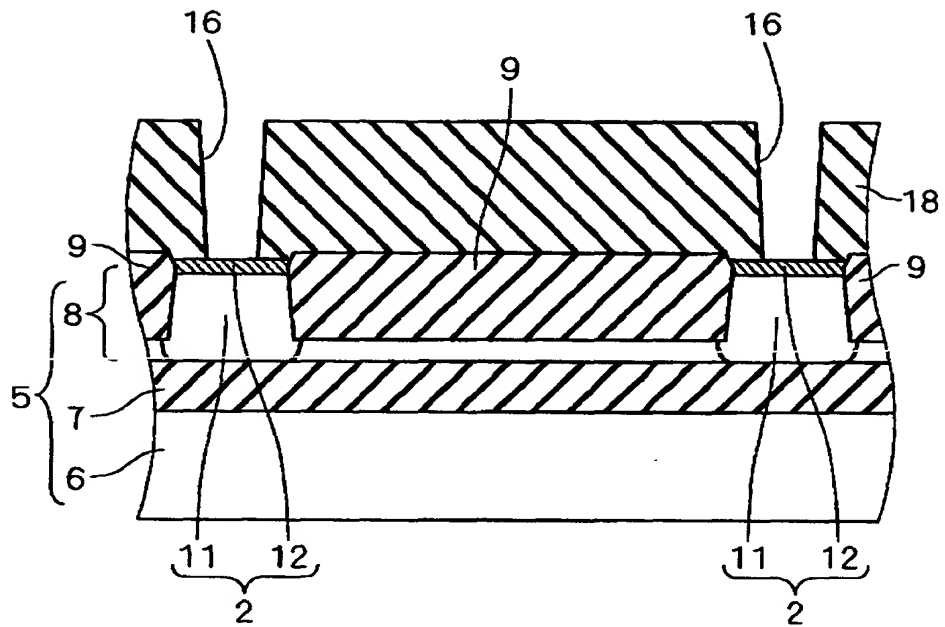


【図11】

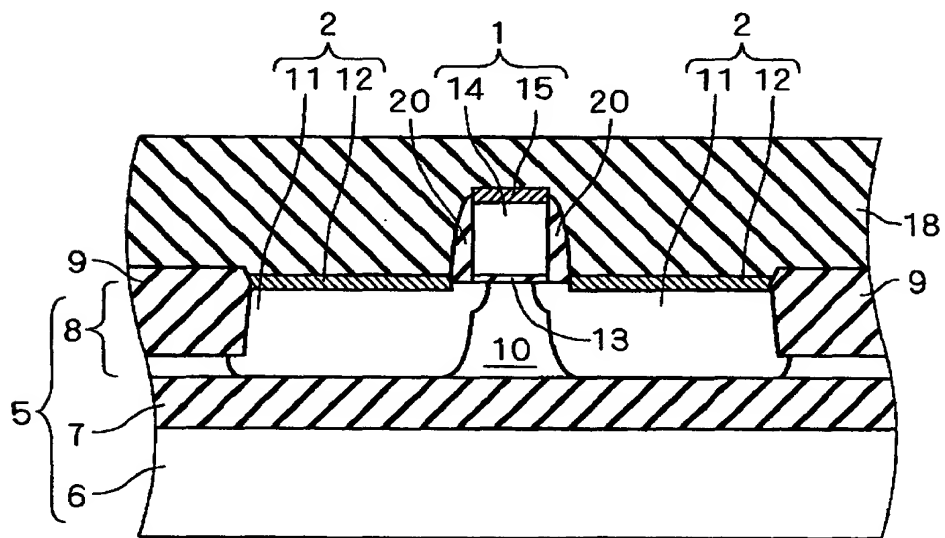


【図 12】

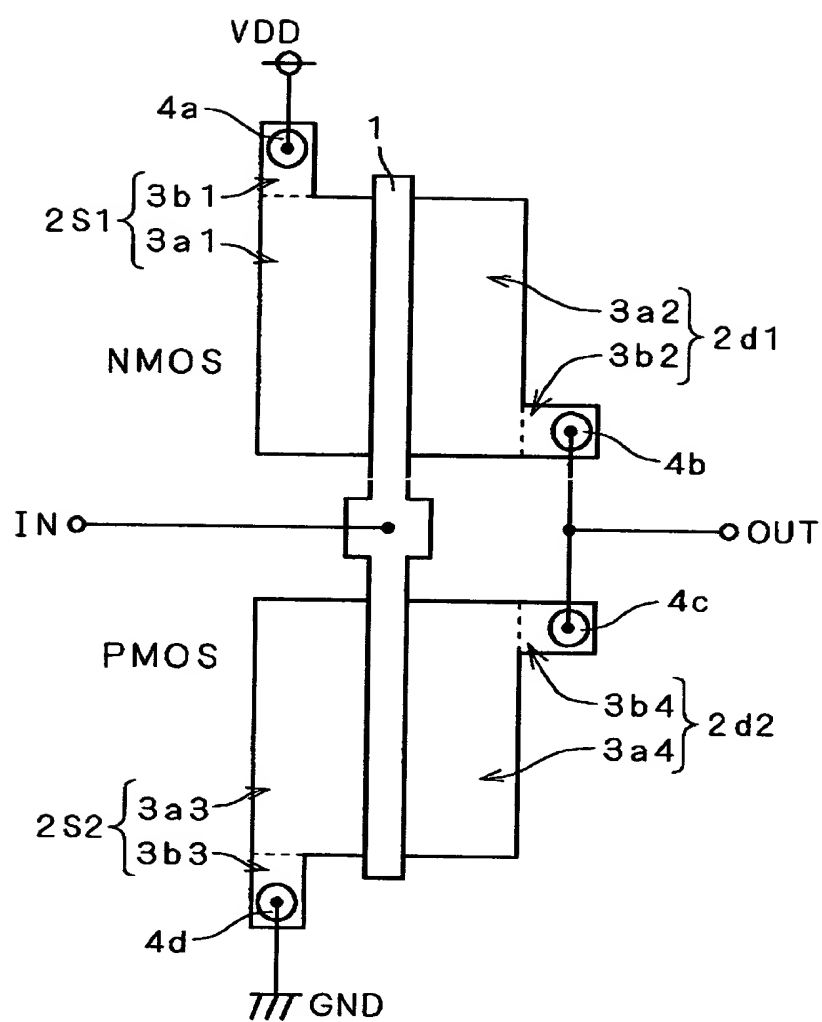
(A)



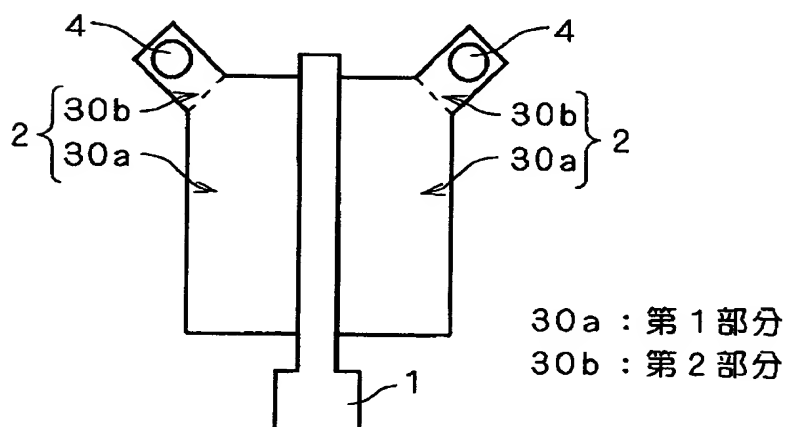
(B)



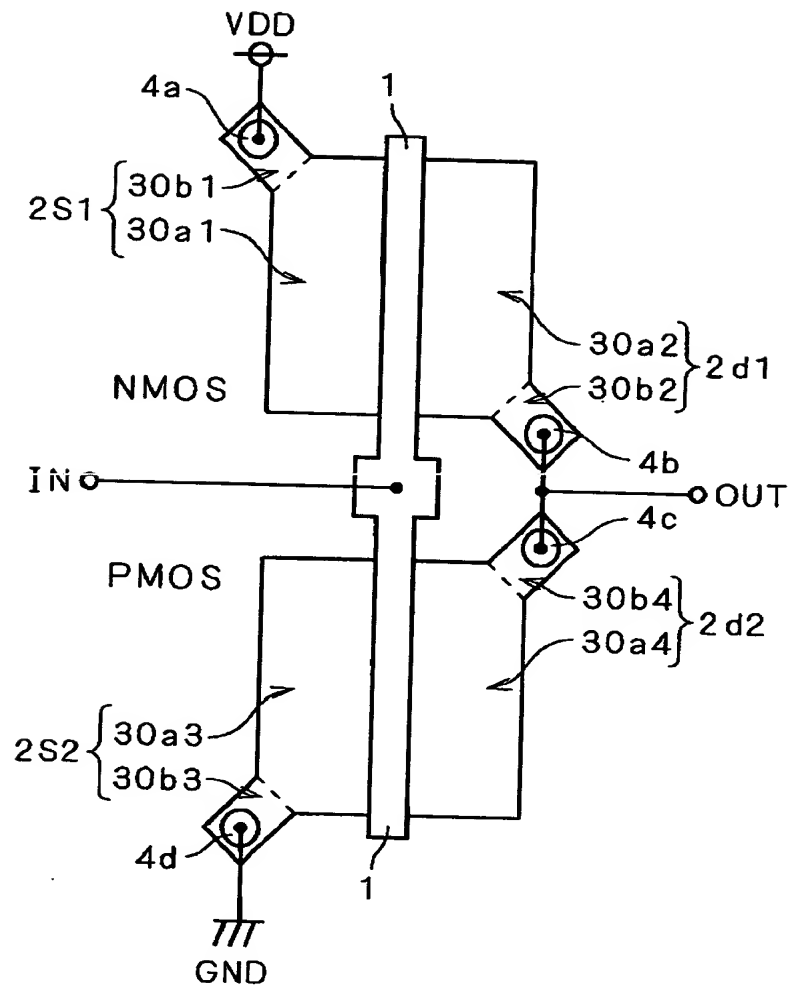
【图 13】



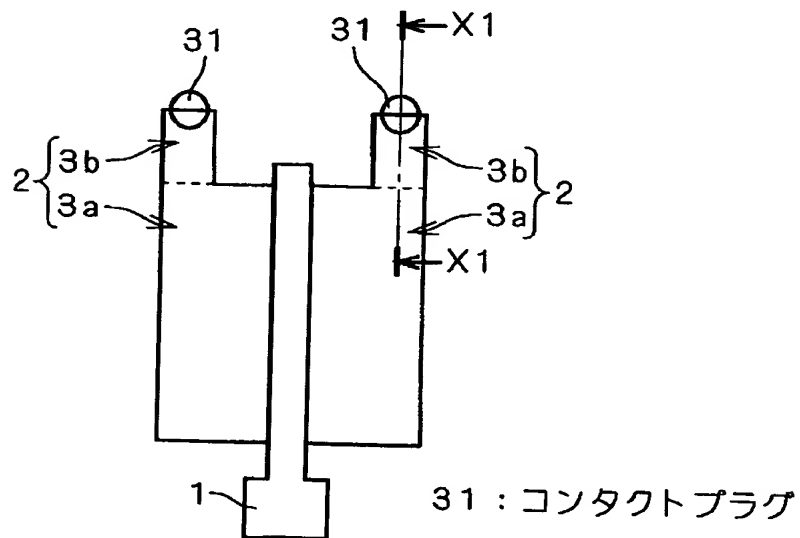
【図 14】



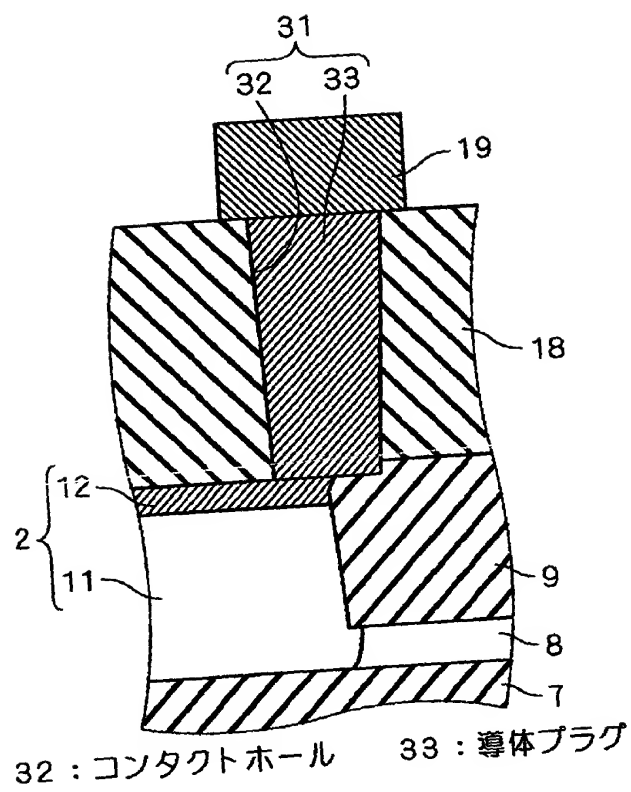
【図15】



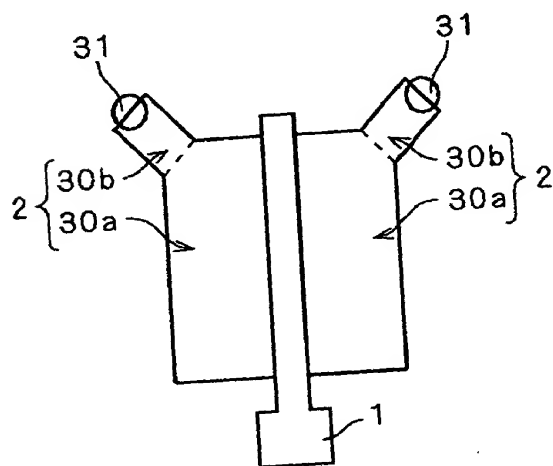
【図16】



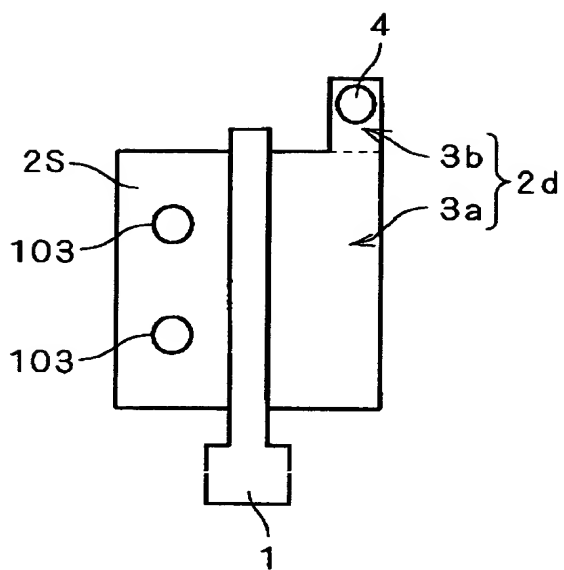
【図17】



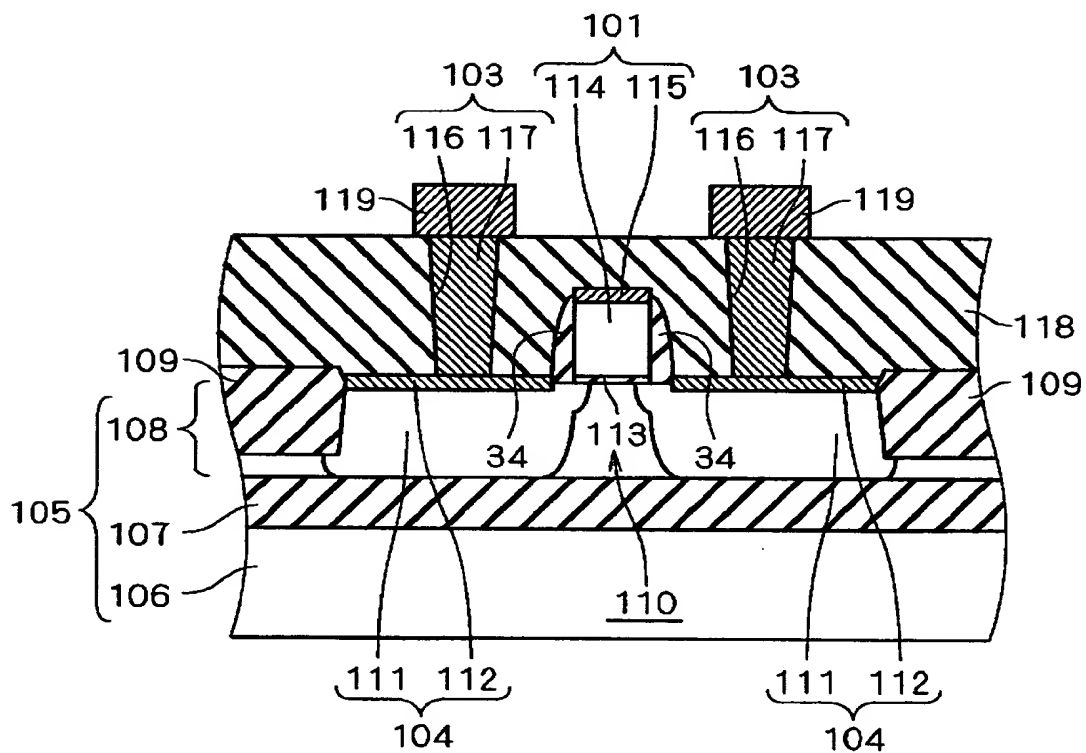
【図18】



【図 1 9】

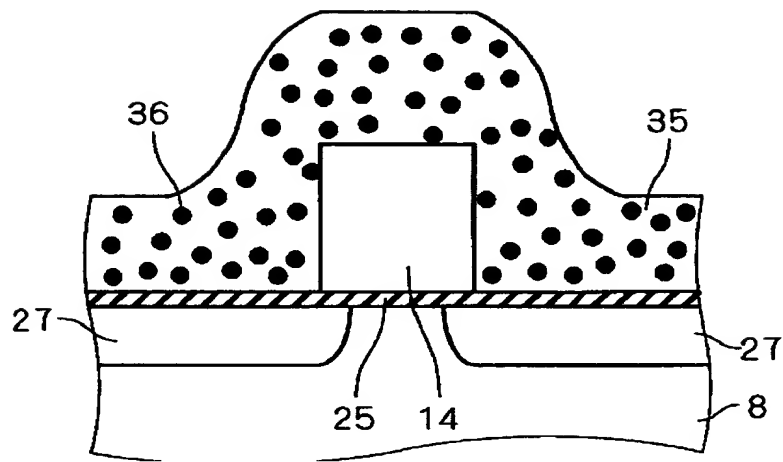


【図 2 0】



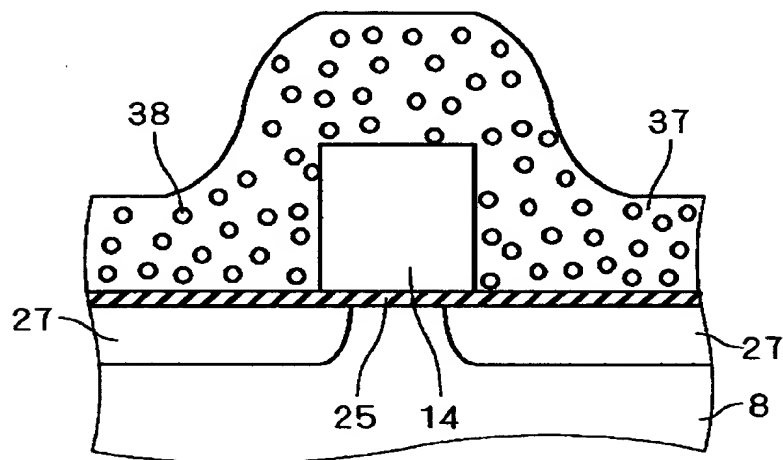
34 : サイドウォール

【図 2 1】



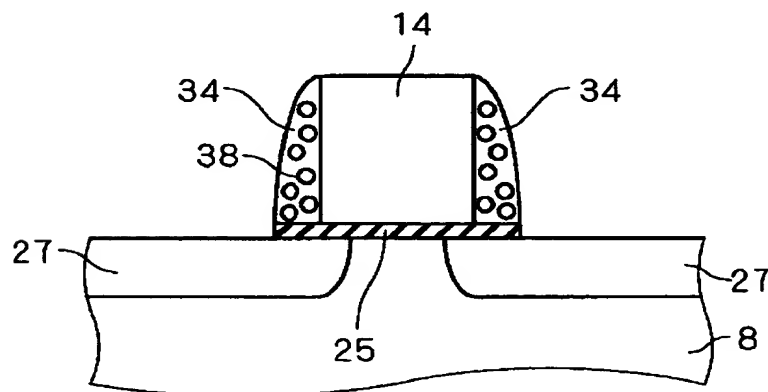
35 : シリコン酸化膜 36 : 有機粒

【図 2 2】

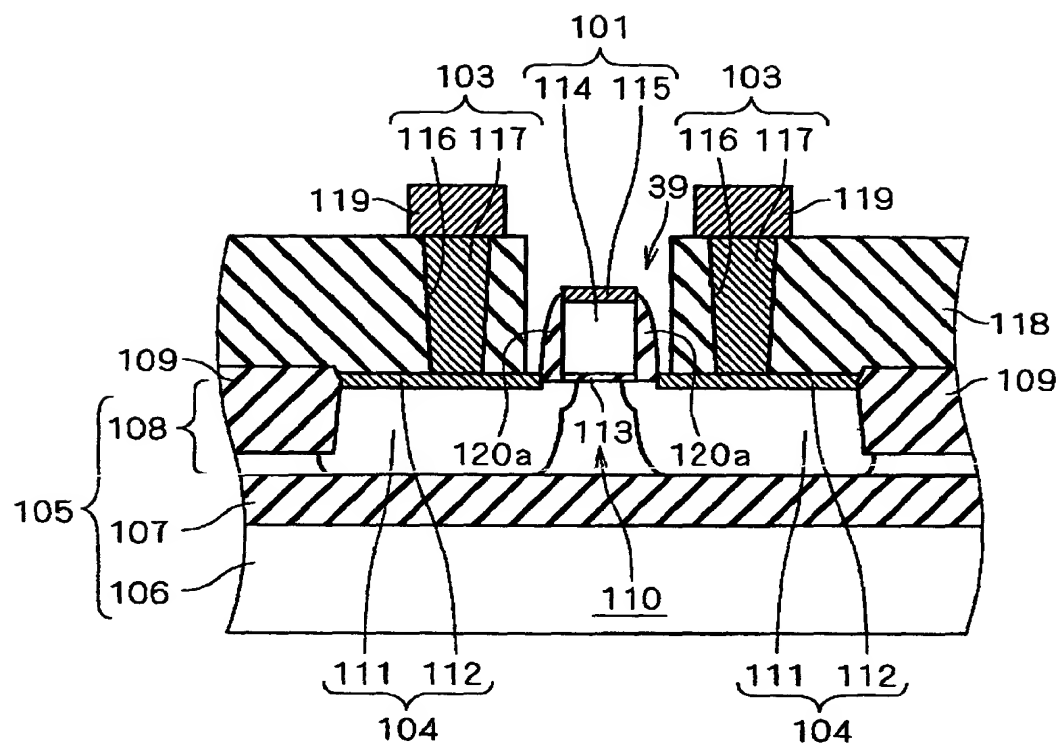


37 : シリコン酸化膜 38 : 空孔

【図 2 3】

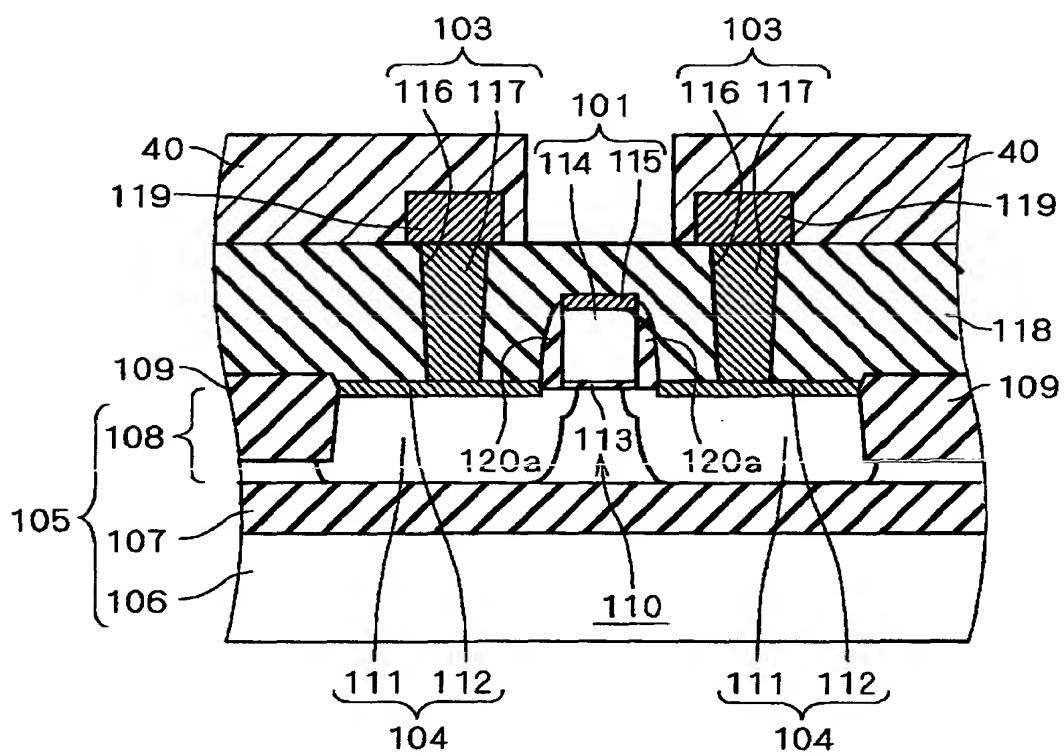


【図 24】



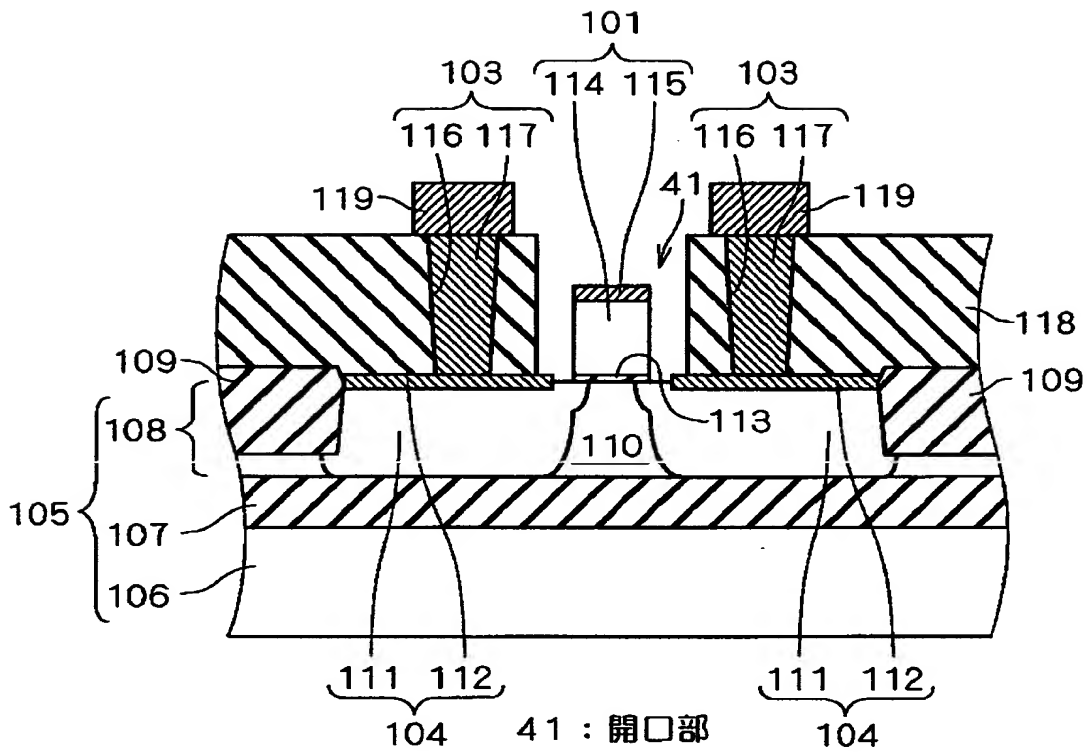
39 : 開口部
120a : サイドウォール

【図 25】

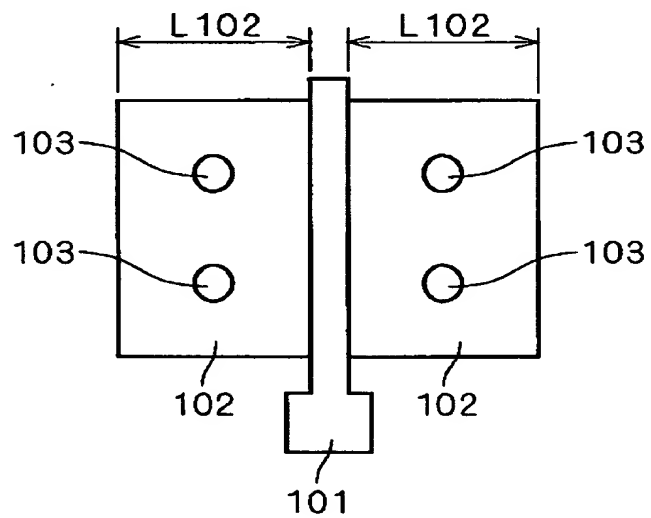


40 : フォトレジスト

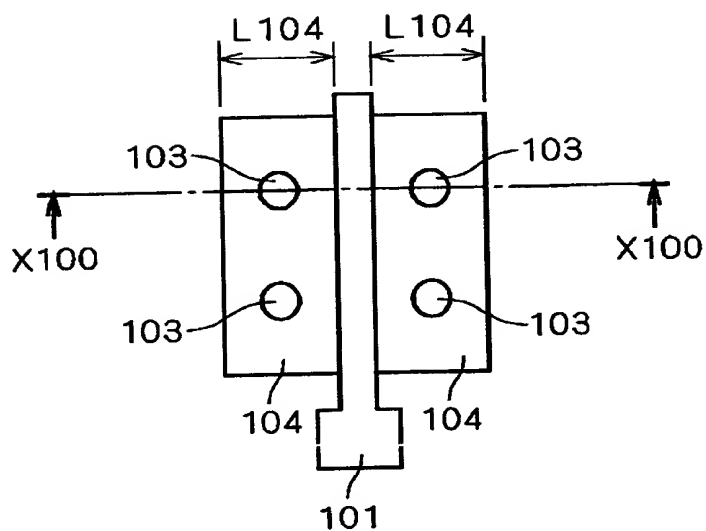
【图 2 6】



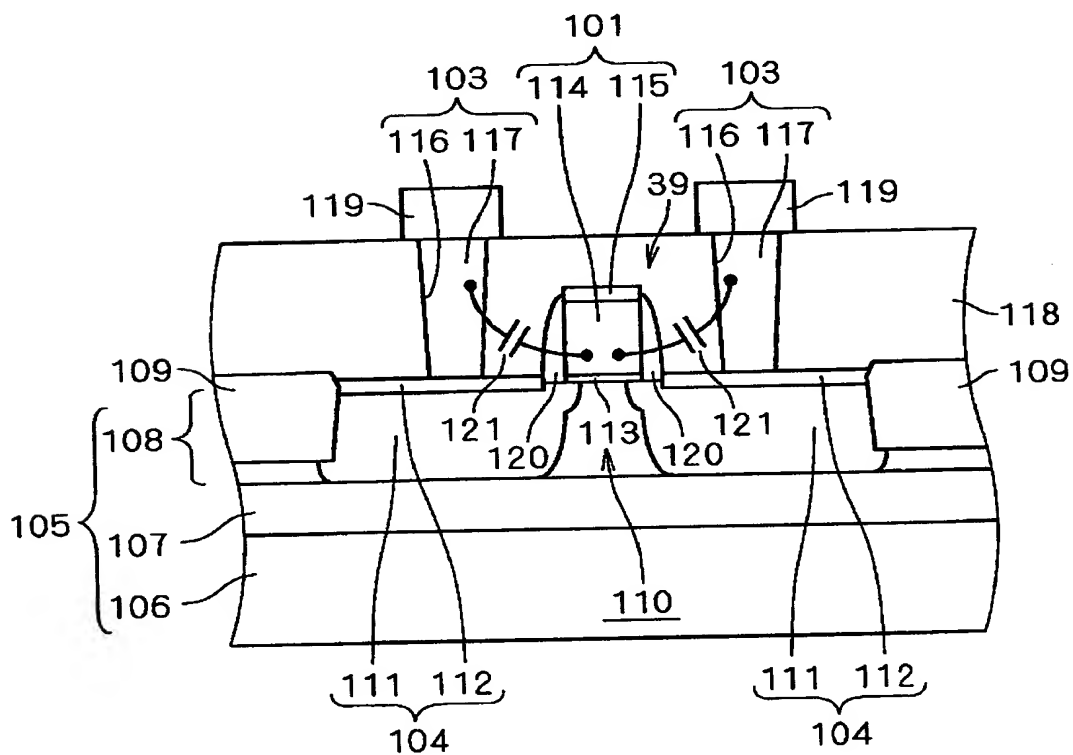
【图 2 7】



【図28】



【図29】



【書類名】 要約書

【要約】

【課題】 ソース・ドレイン領域の面積を縮小しつつ、ソース・ドレインのコンタクトプラグと、ゲート電極との間に生じる寄生容量の増大を抑制し得る半導体装置及びその製造方法を得る。

【解決手段】 ゲート電極 1 の下方にはチャネル領域が形成されており、チャネル領域を挟んで一対のソース・ドレイン領域 2 が形成されている。ソース・ドレイン領域 2 は、チャネル領域に隣接する第 1 部分 3 a と、ソース・ドレイン領域 2 の外周縁の一部が平面視上ゲート電極 1 から遠ざかるように、第 1 部分 3 a からチャネル幅方向に突出して形成された第 2 部分 3 b とを有している。また、第 2 部分 3 b には、ソース・ドレイン領域 2 とソース・ドレイン配線とを接続するためのコンタクトプラグ 4 が形成されている。

【選択図】 図 1

特 2 0 0 0 - 2 3 6 8 1 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社